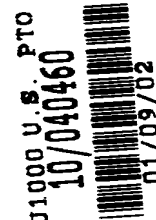


日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月18日

出 願 番 号

Application Number:

特願2001-183911

出 願 人

Applicant(s):

富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年10月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3095206

【書類名】 特許願

【整理番号】 0140394

【提出日】 平成13年 6月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体集積回路装置

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

 【氏名】 北原 照将

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

 【氏名】 安田 宏一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000237617

 【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

 【識別番号】 100098431

 【弁理士】

 【氏名又は名称】 山中 郁生

 【電話番号】 052-218-7161

【選任した代理人】

 【識別番号】 100097009

 【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 半導体集積回路装置
 【特許請求の範囲】

【請求項 1】 中間に第 1 領域を有して 1 方向に配置される 1 対の第 1 及び第 2 電源配線と、PMOS トランジスタ、NMOS トランジスタを適宜に組み合わせ前記第 1 及び第 2 電源配線に沿って構成される基本回路ユニットと、複数の前記基本回路ユニットで構成される論理回路ユニットと、複数の前記論理回路ユニットで構成される機能回路ユニットとを備え、前記機能回路ユニットを適宜に多段配置する半導体集積回路装置において、

前記 PMOS 及び NMOS トランジスタ構造の少なくとも一部分を前記第 1 及び第 2 電源配線下に配置すると共に、

前記基本回路ユニット間を接続する配線、もしくは前記論理回路ユニット間を接続する配線のうち前記機能回路ユニット内で終端するユニット間接続配線を、前記第 1 及び第 2 電源配線を構成する配線層と同層、あるいは下層の配線層で構成する際、前記第 1 領域以外の領域である第 2 領域に配置することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 電源配線の下層には、前記第 1 電源配線に沿って、PMOS トランジスタと、該 PMOS トランジスタを囲む N 型のウェル領域が配置され、前記第 2 電源配線の下層には、前記第 2 電源配線に沿って、NMOS トランジスタと、該 NMOS トランジスタを囲む P 型のウェル領域が配置されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記ユニット間接続配線の配置領域は、前記第 2 領域のうち、PMOS 及び NMOS トランジスタの配置領域の外方領域であることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】 前記ユニット間接続配線は、前記第 1 電源配線側の前記第 2 領域に配置され、前記 PMOS トランジスタは、前記第 1 電源配線領域に包含されていることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】 前記ユニット間接続配線は、前記第 2 電源配線側の前記第 2 領域に配置され、前記 NMOS トランジスタは、前記第 2 電源配線領域に包含さ

れていることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 6】 前記 PMOS トランジスタは、前記ユニット間接続配線の配置領域側の端部を、前記第 1 電源配線における前記ユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする請求項 4 又は 5 に記載の半導体集積回路装置。

【請求項 7】 前記 NMOS トランジスタは、前記ユニット間接続配線の配置領域側の端部を、前記第 2 電源配線における前記ユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする請求項 4 又は 5 に記載の半導体集積回路装置。

【請求項 8】 前記基本回路ユニットとしてナンドゲートをレイアウトする際、

前記ユニット間接続配線が前記第 1 電源配線側の前記第 2 領域に配置される場合には、前記 PMOS トランジスタのゲート本数と、前記 NMOS トランジスタのゲート本数とが同数であり、

前記ユニット間接続配線が前記第 2 電源配線側の前記第 2 領域に配置される場合には、前記 PMOS トランジスタのゲート本数に比して、前記 NMOS トランジスタのゲート本数が同数以上であることを特徴とする請求項 4 又は 5 に記載の半導体集積回路装置。

【請求項 9】 前記基本回路ユニットとしてノアゲートをレイアウトする際、

前記ユニット間接続配線が前記第 1 電源配線側の前記第 2 領域に配置される場合には、前記 NMOS トランジスタのゲート本数に比して、前記 PMOS トランジスタのゲート本数が同数以上であり、

前記ユニット間接続配線が前記第 2 電源配線側の前記第 2 領域に配置される場合には、前記 NMOS トランジスタのゲート本数と、前記 PMOS トランジスタのゲート本数とが同数であることを特徴とする請求項 4 又は 5 に記載の半導体集積回路装置。

【請求項 10】 必要に応じて多段配置された 2 組の前記機能回路ユニット群を、前記ユニット間接続配線の配置領域とは反対側の端部を対向させてミラー

配置してなることを特徴とする請求項 4 又は 5 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置のレイアウトパターンに関するものであり、特に、機能回路群のレイアウトをチップ上の 1 方向に展開して構成する半導体集積回路装置のレイアウトパターンに関するものである。

【0002】

【従来の技術】

従来より、半導体集積回路装置のダイサイズの高集積化の要求に応える 1 手法として、PMOS トランジスタと NMOS トランジスタとをペアとした CMOS ユニットを基本構成として複数の論理回路を備えた機能回路を、信号の流れに沿って 1 方向に配置して、複数の機能回路を並べて機能回路群とするレイアウト手法が採用されている。ゲートアレイ方式やスタンダードセル方式以外の、ダイナミックランダムアクセスメモリに代表される半導体メモリ等のいわゆるカスタム製品において採用されているレイアウト手法である。

【0003】

ここで、以下の説明において使用される CMOS ユニット、あるいはユニットとは、PMOS/NMOS トランジスタをペアとして適宜の構成で接続してなるもので、論理ゲートやトランスファゲート等の基本機能を構成する回路単位を称するものとする。また、PMOS/NMOS トランジスタ単独でも、キャパシタ素子や抵抗素子等の基本回路機能を奏する態様で使用されるものについてはユニットとして分類する。PMOS/NMOS トランジスタで構成されないものについては必ずしもユニットとして分類されないものもある。例えば、後述するトリミング用の配線層スイッチがこれにあたる。このスイッチは 1 つの基本回路素子を構成するために素子間の接続を決定するものである。スイッチにより接続された 1 群の素子全体が基本回路素子でありユニットを構成するものとなる。従って、個々の素子はユニットの定義には含まれない。また、キャパシタ素子や抵抗素子等もユニットには含まれない。配線領域中に埋め込ませて配置することができ

、素子特性、レイアウト効率等への影響がないからである。

【 0 0 0 4 】

ゲートアレイ方式やスタンダードセル方式が、チップ上に2次元展開された特定の区画の中で、所定の配線グリッドのピッチに合わせて縦横に配線を施すことにより、結線処理の時間短縮を主眼としているのに対して、機能回路群を信号の流れに沿って1方向に配置するレイアウト手法では、限られた配線層を使用して限られた配置領域に如何に高集積にレイアウトするかを主眼としたレイアウト手法である。

【 0 0 0 5 】

図18に示す概略レイアウト図は、メタル3層プロセスにおける半導体集積回路装置Chipのレイアウト例である。図18における半導体集積回路装置Chipでは、Y方向に展開された2つのメモリセル領域M1、M2を有している。メモリセル領域M1、M2の間には、X方向に展開された機能回路群FNBL1、FNBL2、乃至FNBLnが、各々、レイアウト幅BW1、BW2、乃至BWnでY方向に配列されている。そして、電源電圧パッドVCPからは電源電圧配線VCCが、基準電圧パッドVSPからは基準電圧配線VSSが、最上位のメタル層である第3メタル層M3Lにより機能回路群FNBL1乃至FNBLnを横切って配線され、電源電圧VCCと基準電圧VSSを供給している。高集積化を図るため、各機能回路群FNBL1乃至FNBLnは、各レイアウト幅BW1乃至BWnが最小になるようにレイアウトされている。

【 0 0 0 6 】

次に、機能回路群FNBL1の一部100を拡大した概略レイアウト図を図19に示す。機能回路群FNBL1の一部100が論理回路CIR110、CIR120、CIR130、CIR140で構成されており、各々の論理回路CIR110乃至CIR140は、論理回路CIR110に例示するようにPMOSTランジスタP1、P2、P3とNMOSTランジスタN1、N2、N3とが対となってCMOSユニットを構成している。両タイプのMOSトランジスタは接続配線LV100で接続されて構成されている。この接続配線LV100は最下層のメタル配線層である第1メタル配線層M1Lが使用されている。ここでは、P

MOSトランジスタとNMOSトランジスタとが1対1に接続されたインバータゲートやトランスファゲート等の場合をCMOSユニットとして例示しているが、これに限定されることはなくナンドゲート、ノアゲート等の各種論理ゲートやMOSキャパシタ等の各種の論理ゲートや基本回路素子がCMOSユニットとして構成されている。また、PMOSトランジスタの上層には第2メタル層M2Lにより機能回路群FNBL1に電源電圧VCCを供給するための電源電圧配線VCC100が配線されており、第3メタル層M3Lで配線されている電源電圧配線VCCとの交差部においてビア(VIA)コンタクトCvvにより相互に接続されている。同様に、NMOSトランジスタの上層にも第2メタル層M2Lにより機能回路群FNBL1に基準電圧VSSを供給するための基準電圧配線VSS100が配線されており、図示されていない第3メタル層M3Lで配線されている基準電圧配線VSSとの交差部においてビア(VIA)コンタクトCvvにより相互に接続されている。更に、第2メタル層M2Lで配線されている電源電圧配線VCC100と基準電圧配線VSS100との間には、機能回路群FNBL1に必要とされる入出力線配線、及PMOS/NMOSトランジスタペアP1とN1乃至P3とN3等のCMOSユニット間やCIR110乃至CIR140等の論理回路間を接続される接続配線等の内部配線LH100が必要に応じて配線されている。機能回路群FNBL1に必要とされる電流容量に応じた電源電圧配線VCC100及び基準電圧配線VSS100の幅と、機能回路群FNBL1における回路構成・レイアウト配置で決定される内部配線LH100の数に従って、機能回路群FNBL1のブロック幅BW1が決定される。他の機能回路群FNBL2乃至FNBLnについても同様に決定される。

【0007】

上記の説明では、メタル配線層として第1乃至第3メタル配線層M1L乃至M3Lを有している。これにMOSトランジスタのゲート電極としてポリシリコン(以下、PolySi)層が加わり4層の配線構造を有している。この4層構造を実現する製造プロセスとしては様々なプロセスが考えられるが、そのプロセス例を図20に示す。図20のうち、プロセスAでは、各層間の直接接続が可能な構造を有している。即ち、第3メタル配線層M3Lと第2メタル配線層M2Lと

の間はVIAコンタクトC_vvで接続され、第2メタル配線層M2Lと第1メタル配線層M1Lとの間はVIAコンタクトC_vで接続され、第1メタル配線層M1LとPolySi層との間はコンタクトC_pで接続される。これに対してプロセスBでは、PolySi層は直上の第1メタル配線層M1Lとはオーミックコンタクトを取ることができないため、第2メタル配線層M2Lとの間でコンタクトC_ppにより接続をとる構造を有している。従って、機能回路群FNBL1乃至FNBLnのレイアウト設計においては、これらのプロセス要因を適宜考慮してレイアウトを実施する必要がある。

【0008】

図21、22には、製造プロセスの違いによる内部配線LH100の違いを示している。図21はプロセスAを使用した場合の概略レイアウト図であり、図22はプロセスBを使用した場合の概略レイアウト図である。共に、電源電圧配線VCC100は第2メタル層M2Lで配線され、その直下にはPMOSトランジスタが配置されており、基準電圧配線VSS100も第2メタル層M2Lで配線され、その直下にはNMOSトランジスタが配置されている。そして、PMOS/NMOSトランジスタ間は、第1メタル層M1Lで接続されCMOSユニットを構成している。第1メタル層M1Lと第2メタル層M2Lとは直交して配線されている。図21では、PolySi層と第1メタル層M1LとがコンタクトC_pにより直接接続できるため両者の接続に第2メタル層M2Lを使用する必要はない。従って、内部配線LH100の配線領域幅は、1本分のCMOSユニット間の内部配線領域IL100と、3本分の隣接する論理回路等との入出力配線領域IOL100とにより決定されている。これに対して、図22に示すプロセスBを使用した場合のレイアウト図では、PolySi層は第1メタル層M1Lと直接接続ができず、第2メタル層M2Lとの間でコンタクトC_ppを介して接続する。そのため、第1メタル層M1LからPolySi層に接続するために中間に第2メタル層M2Lを介する必要がある。従って、内部配線LH100の配線領域幅は、1本分のCMOSユニット間の内部配線領域IL100に2本分のPolySi層への内部配線領域IL100が加わり、3本分の隣接する論理回路等との入出力配線領域IOL100と合わせて決定されている。

【0009】

ここで、図23に示す機能回路FNBの具体例を示す。この機能回路FNBは、4つの論理回路CIR1、CIR2、CIR3、CIR4で構成されている。各論理回路CIR1乃至CIR4は、インバータゲートIn ($n=1, 2, \dots$)、ナンドゲートDn ($n=1, 2, \dots$)、ノアゲートRn ($n=1, 2, \dots$)、ナンド論理とノア論理との複合ゲートND、NR、トランスファゲートTn ($n=1, 2, \dots$)、そしてキャパシタ素子CPn ($n=1, 2, \dots$)を構成するNMOSトランジスタで構成されたキャパシタ要素NCn ($n=1, 2, \dots$)とPMOSトランジスタで構成されたキャパシタ要素PCn ($n=1, 2, \dots$)、トリミング用の配線層スイッチSW1、SW2、及びN型拡散抵抗RSn ($n=1, 2, \dots$)等で構成されている。

【0010】

図24は、図23の機能回路FNBを図20、22に示すプロセスBに従いレイアウトした場合のレイアウトパターン図例である。レイアウトパターン図上の左より順番に、論理回路CIR1、CIR2、CIR3、CIR4が配置されている。各論理回路CIR1乃至CIR4の部分を拡大したレイアウトパターン図を、図25乃至図28に示す。

【0011】

図24のレイアウトパターン図では、N型のウェル領域NW100内にPMOSトランジスタを配置し、N型のウェル領域NW100以外の領域をP型のウェル領域PW100として、その領域内にPMOSトランジスタに対向してNMOSトランジスタを配置した構成となっている。PMOSトランジスタ上には、第2メタル層M2Lで構成された電源電圧配線VCC100が配線され、PMOSトランジスタに電源電圧VCCを供給している。また、NMOSトランジスタ上には、同じく第2メタル層M2Lで構成された基準電圧配線VSS100が配線され、NMOSトランジスタに基準電圧VSSを供給している。電源電圧配線VCC100と基準電圧配線VSS100との間には、各論理回路CIR1乃至CIR4及び機能回路FNB内部で使用する内部接続配線の接続のための2つの内部配線領域IL100と、それに挟まれて機能回路FNBの外部への入出力配線

の供給のための入出力配線領域 I O L 1 0 0 が配置されている。

【 0 0 1 2 】

また、図 2 5 乃至図 2 8 に各々示すように、N型のウェル領域 NW 1 0 0 は電源電圧 V C C にバイアスされている。第 2 メタル層で構成されている電源電圧配線 V C C 1 0 0 は、コンタクト C v 1 0 1 により第 1 メタル層 M 1 L を介してコンタクト C d 1 0 1 により N 型のウェル領域 NW 1 0 0 に接続されている。また、P型のウェル領域 PW 1 0 0 は基準電圧 V S S にバイアスされている。第 2 メタル層 M 2 L で構成されている基準電圧配線 V S S 1 0 0 は、コンタクト C v 1 0 1 により第 1 メタル層 M 1 L を介してコンタクト C d 1 0 1 により P 型のウェル領域 PW 1 0 0 に接続されている。

【 0 0 1 3 】

P M O S トランジスタは、P型拡散層 P S D 1 0 0 を P o l y S i 層で構成されたゲート電極でソース領域とドレイン領域とに分割されて構成されている。ソース領域への電源電圧 V C C の供給は、第 2 メタル層 M 2 L の電源電圧配線 V C C 1 0 0 からコンタクト C v 1 0 1 により第 1 メタル層 M 1 L に接続され更に C d 1 0 2 を介して行われる。同様に、N M O S トランジスタは、N型拡散層 N S D 1 0 0 を P o l y S i 層で構成されたゲート電極でソース領域とドレイン領域とに分割されて構成されている。ソース領域への基準電圧 V S S の供給は、第 2 メタル層 M 2 L の基準電圧配線 V S S 1 0 0 からコンタクト C v 1 0 1 により第 1 メタル層 M 1 L に接続され更に C d 1 0 2 を介して行われる。また、P M O S / N M O S トランジスタのドレイン領域間の接続は、第 1 メタル層 M 1 L を使用してコンタクト C d 1 0 3 を介して行われる。

【 0 0 1 4 】

以下、図 2 3 に示す機能回路 F N B を構成する論理回路 C I R 1 乃至 C I R 4 の中からレイアウトパターン図における代表的な部分について図 2 5 乃至図 2 8 の説明をする。

【 0 0 1 5 】

先ず、論理回路 C I R 1 の C M O S ユニット D 1 乃至 I 4 の回路構成について図 2 5 における対応するレイアウトパターン図を説明する。入力配線 A、B、C

は、第1メタル層M1Lにより、第2メタル層M2Lと交差してPMOS/NMOSトランジスタ列を貫くように配線されている。入力配線A、B、Cが機能回路FNBのPMOS/NMOSトランジスタの何れの側からでも入力することができるように配慮されたレイアウトとなっている。この入力配線A、B、Cは、コンタクトCv102により第2メタル層M2Lに接続され、更にコンタクトCp101を介してCMOSユニットであるナンドゲートD1の各ゲート端子に接続されている。ナンドゲートD1を構成するPMOS/NMOSトランジスタのドレイン端子間の接続は、コンタクトCd103を介して第1メタル層M1Lに接続することにより行われる。各トランジスタのソース端子は、ウェル領域PW、NWへの接続と同様に、コンタクトCd102から第1メタル層M1Lを介してコンタクトCv101を経て第2メタル層M2Lの電源電圧配線VCC100/基準電圧配線VSS100に接続されている。

【0016】

ナンドゲートD1からの出力配線は第1メタル層M1Lにより引き出されるが、コンタクトCv103を介して第2メタル層M2Lに接続された後、コンタクトCp102を介してインバータゲートI1の入力であるゲート端子に接続されている。インバータゲートI1を構成する各トランジスタのソース端子はナンドゲートD1と同様に接続されている。また、ドレイン端子間もナンドゲートD1と同様に、コンタクトCd104により第1メタル層M1Lを介して接続されて出力配線を構成している。後続のインバータゲートI2乃至I4も同様に接続されている。インバータゲートI4の出力配線は、機能回路FNBの出力配線OUT1となる。従って、出力配線を構成する第1メタル層M1LからコンタクトCv104を介して、入出力配線領域IOL100内の第2メタル層M2Lに接続されて機能回路FNBの外部に出力されている。その他のCMOSユニットのうちノアゲートや複合論理等の論理ゲートについては、同様の配線構造により接続されているのでここでの説明は省略する。

【0017】

次に、論理回路CIR2のCMOSユニットであるスイッチユニットSW1について図26における対応するレイアウトパターン図を説明する。スイッチユニ

ットSW1とは、両端部a、b間を接続するか接続しないかを配線層マスクの切り替えにより切り替えられる構成を指す。品種毎に回路構成や回路パラメータを変更する場合に使用する構成である。この部分を図26のレイアウトパターン図で確認する。このスイッチユニットSW1は、レイアウト設計時に、両端部a、bを本来の配線層とは異なる配線層番号で結線しておき、配線層マスクを作成する際に、この異なる配線層番号のデータを合成するか否かでマスク上の接続状態を切り替えるものである。図26では、両端部a、b間の接続は、第2メタル層M2Lで行われている。

【0018】

更に、論理回路CIR3のCMOSユニットであるキャパシタユニットCP1、及び拡散抵抗ユニットRS1について図27における対応するレイアウトパターン図を説明する。キャパシタユニットCP1は、PMOSトランジスタで構成されるPMOSキャパシタユニットPC1乃至PC3と、NMOSトランジスタで構成されるNMOSキャパシタユニットNC1乃至NC3と、更にトリミング用スイッチユニットSW2とにより構成されている。この部分を図27のレイアウトパターン図で確認する。PMOSキャパシタユニットPC1では、PMOSトランジスタのソース／ドレイン端子が電源電圧配線VCC100に接続されており、ゲート端子との間にMOS容量を構成している。NMOSキャパシタユニットNC1でも同様に、NMOSキャパシタユニットNC1では、NMOSトランジスタのソース／ドレイン端子が基準電圧配線VSS100に接続されており、ゲート端子との間にMOS容量を構成している。また、各トランジスタのゲート端子は、トリミング用のスイッチユニットSW2によりキャパシタとして寄与するゲート端子の面積を切り替えられるように設定されている。

【0019】

また、拡散抵抗ユニットRS1は、図27では、N型の拡散層を使用して構成されている。インバータゲートI12の出力配線との接続点cからキャパシタユニットCP1への接続点dに至る間に屈曲して構成されている。

【0020】

機能回路FNBでは、7本の出力配線OUT1乃至OUT7が存在しており、

図 2 4 乃至図 2 8 から明らかなように、電源電圧配線 $VCC100$ 直下の PMOS トランジスタ列と基準電圧配線 $VSS100$ 直下の NMOS トランジスタ列とに挟まれたレイアウトパターン図の中央部分に第 2 メタル層 $M2L$ により配線されて入出力配線領域 $IOL100$ の配線領域を決定している。そして、その両側には、機能回路 FNB 内の接続配線が配線されており内部配線領域 $IL100$ を構成している。また、電源電圧配線 $VCC100$ と基準電圧配線 $VSS100$ との配線幅は、機能回路 FNB を構成する回路構成に必要とされる電源容量で決定される。以上により、入出力配線領域 $IOL100$ 、内部配線領域 $IL100$ 、電源電圧配線 $VCC100$ 、及び基準電圧配線 $VSS100$ の各領域幅、あるいは配線幅により機能回路 FNB のレイアウトパターン図における各種配線の配置幅が決定されている。具体的には、レイアウト箇所により各々異なる内部配線領域 $IL100$ の最大部分でレイアウト幅が決定されることとなる。本例では、論理回路 $CIR2$ の $R2$ 乃至 $R5$ の部分で最も多くの内部配線が接続されており、配線幅を決定している。従って、機能回路 FNB のレイアウトパターン図は、この部分の配線ができるように内部配線 $LH100$ の配線領域幅を設ける必要がある。他の論理回路 $CIR1$ 、 $CIR3$ 、 $CIR4$ に対しては、この幅は必要ではないが、論理回路 $CIR1$ 乃至 $CIR4$ を 1 方向に配置するためには、電源電圧配線 $VCC100$ 及び基準電圧配線 $VSS100$ の配線位置を一致させる必要があり、特に内部配線用の幅が必要ではない論理回路 $CIR1$ 、 $CIR3$ 、 $CIR4$ に対しても、論理回路 $CIR2$ で必要とされる最大幅を確保することが必要となる。

【 0 0 2 1 】

【発明が解決しようとする課題】

上記に説明したように、機能回路 FNB のレイアウトパターン図では、各論理回路 $CIR1$ 乃至 $CIR4$ 内あるいは論理回路 $CIR1$ 乃至 $CIR4$ 間で接続される内部接続配線の本数が最大となる領域で、内部接続配線のレイアウトが可能となるように内部配線領域 $IL100$ を設定する必要がある。従って、この領域以外の部分では、内部接続配線の本数が少ない場合でも上記の内部配線領域 $IL100$ が確保されていることとなる。必要な内部接続配線を配置した後の残りの

部分は空白領域となってしまう。半導体集積回路装置の動向に鑑みれば、今後益々、機能回路 FNB は高機能化・大規模化することは明らかであり、これに伴い内部接続配線数も増加することとなる。また、回路の大規模化・複雑化によりレイアウトパターンにおいて多段配置している機能回路群もその接続段数が増大することとなる。そのため、1 列の機能回路群には多種多様な論理回路が多数配置されることとなる。多数の内部接続配線を必要とする論理回路と内部接続配線の少ない論理回路とが混在することとなり、大きな内部配線領域 IL100 を設定することが必要である一方で、内部配線領域 IL100 内に大きな未配線領域を発生させることにもなる。そのため、機能回路群のレイアウトパターンにおいて電源電圧配線 VCC100 と基準電圧配線 VSS100 との間の領域のレイアウト効率を向上させることができない。半導体集積回路装置の高集積化を実現できない虞があり問題である。

【 0 0 2 2 】

また、機能回路が高機能化・大規模化すること、更にこの機能回路を 1 列に多段に配置する機能回路群のレイアウトパターンを行うに伴い、レイアウトパターン中に多数の内部接続配線を必要とする領域が存在すると共に、機能回路群への入出力配線数も増大する。そのため幅の広い内部配線領域 IL100 と入出力配線領域 IOL100 とを設定する必要がある。結果として、内部配線領域 IL100 と入出力配線領域 IOL100 とを挟んで対抗する PMOS/NMOS トランジスタ間の配置距離が長くなり、接続配線の寄生抵抗や寄生容量等の寄生素子成分が大きくなる。PMOS/NMOS トランジスタは相互に接続して論理ゲート等の CMOS ユニットを構成するので、CMOS ユニット中にこのような寄生素子成分が付加されることとなる。そのため、信号波形に遅延等が付加されて信号波形の特性が悪化してしまう虞があり問題である。具体的には、PMOS/NMOS トランジスタ間の動作時間にずれを生じトランジスタの切り替わりタイミングにおいて貫通電流が発生してしまう虞がある。

【 0 0 2 3 】

また、内部配線領域 IL100 と入出力配線領域 IOL100 との幅が広くなることにより、N 型のウェル領域 NW100 及び P 型のウェル領域 PW100 の

面積も増大する。ここで、両ウェルへの電圧バイアスをするためのコンタクトC d 1 0 1等の配置頻度は、上記配線領域が広くなるに応じて増加するレイアウトではない。むしろ内部接続配線や入出力配線の増加に伴いコンタクトC d 1 0 1等の配置領域の確保が難しくなり相対的に減少する傾向になる。そのため、ウェルN W 1 0 0、P W 1 0 0を確実にバイアスすることができなくなる虞がありウェル電位が不安定となって、ラッチアップ耐性の低下や、P M O S / N M O S トランジスタにおけるバックバイアス効果の変動による特性変化を引き起こす可能性があり、半導体集積回路装置の安定動作を阻害する虞があり問題である。

【 0 0 2 4 】

また、レイアウト設計の開始時においては、論理回路の配線接続関係とレイアウト上での配置順序、更に機能回路群の配置順序等を考慮して内部接続配線や入出力配線の本数や重なり状態を想定する。これに基づき1段の機能回路群における電源電圧配線V C C 1 0 0と基準電圧配線V S S 1 0 0との間隔を概略見積もってチップ上の電源電圧V C C及び基準電圧V S Sの配線網レイアウトを行う。しかしながら、レイアウト設計の初期段階でこれらの見積りを正確に行い内部配線領域I L 1 0 0と入出力配線領域I O L 1 0 0とを算出することは困難である。特に機能回路の高機能化・大規模化が進展した場合には不可能となる虞もあり問題である。

【 0 0 2 5 】

また、レイアウト設計における電源電圧V C C及び基準電圧V S Sの配線網が決定した後に、回路変更があつて内部接続配線や入出力配線等の追加が必要になる場合がある。この場合には追加された配線の配置領域を確保しなければならないことから、再度、内部接続配線や入出力配線の本数や重なり状態を想定して電源電圧配線V C C 1 0 0と基準電圧配線V S S 1 0 0との間隔を見積もり直すことが必要となる。開発期間の短縮化が要求されている半導体集積回路装置の設計ワークにおいては、レイアウト設計と回路設計とが並行して進められる場合もあり、上記の回路変更に伴うレイアウト設計のやり直しは、短期間開発の要請を満足させることができなくなる虞があり問題である。

【 0 0 2 6 】

更に、半導体集積回路装置の製造プロセスは、デバイス特性の修正、製造条件の変更等に伴う要因によって多層配線の配線構造等が変更される場合がある。図 20 乃至図 22 に示すような P o l y S i 層へのオーミックコンタクトをとることができるメタル配線層の違いに伴う接続関係の変更等である。この場合、プロセス A でリリースされている半導体集積回路装置をプロセス B でも実現する必要があるが、プロセス A では、第 1 メタル層 M 1 L から直接 P o l i S i 層に接続されていたのに対して、プロセス B では、第 2 メタル層 M 2 L を介して接続しなければならない、第 2 メタル層 M 2 L を配線する領域を新たに確保する必要がある。プロセス A のレイアウトライブラリからプロセス B のレイアウトライブラリを起版するに際して、電源電圧 V C C 及び基準電圧 V S S の配線網を変更しなければならない新たなレイアウトライブラリの作成に多大な時間を必要とする虞があり問題である。

【 0 0 2 7 】

本発明は前記従来技術の問題点を解消するためになされたものであり、半導体集積回路装置の機能回路群をチップ上の 1 方向に展開するレイアウトパターンにおいて、レイアウト効率を高めると共に、素子特性の悪化を防止することができる半導体集積回路装置を提供することを目的とする。

【 0 0 2 8 】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る半導体集積回路装置は、中間に第 1 領域を有して 1 方向に配置される 1 対の第 1 及び第 2 電源配線と、 P M O S トランジスタ、 N M O S トランジスタを適宜に組み合わせ第 1 及び第 2 電源配線に沿って構成される基本回路ユニットと、複数の基本回路ユニットで構成される論理回路ユニットと、複数の論理回路ユニットで構成される機能回路ユニットとを備え、機能回路ユニットを適宜に多段配置する半導体集積回路装置において、 P M O S 及び N M O S トランジスタ構造の少なくとも一部分を第 1 及び第 2 電源配線下に配置すると共に、基本回路ユニット間、もしくは論理回路ユニット間を接続する配線のうち機能回路ユニット内で終端するユニット間接続配線を、第 1 及び第 2 電源配線を構成する配線層と同層、あるいは下層の配線層で構成する際、

第 1 領域以外の領域である第 2 領域に配置することを特徴とする。

【 0 0 2 9 】

請求項 1 の半導体集積回路装置では、中間に第 1 領域を有して 1 方向に配置される 1 対の第 1 及び第 2 電源配線に沿って適宜に多段配置される機能回路ユニットで、機能回路ユニットを構成する PMOS 及び NMOS トランジスタの少なくとも一部分は、第 1 及び第 2 電源配線下に配置されており、機能回路ユニット内で配線される基本回路ユニット間、もしくは論理回路ユニット間の接続配線は、第 1 及び第 2 電源配線を構成する配線層と同層、あるいは下層の配線層で構成されて第 1 領域以外の領域である第 2 領域に配置される。

【 0 0 3 0 】

これにより、第 1 領域には、ユニット間接続配線は配置されないので基本回路ユニット間に適宜に接続されることによる配線レイアウトパターンの空白部分は存在しない。また、第 1 領域を機能回路ユニットを貫いて配線される入出力配線領域として利用することもできる。従って、第 1 領域におけるレイアウト効率を向上させることができ、半導体集積回路装置の高集積化を実現することができる。

【 0 0 3 1 】

また、請求項 2 に係る半導体集積回路装置は、請求項 1 に記載の半導体集積回路装置において、第 1 電源配線の下層には、同配線に沿って、PMOS トランジスタと、PMOS トランジスタを囲む N 型のウェル領域が配置され、第 2 電源配線の下層には、同配線に沿って、NMOS トランジスタと、NMOS トランジスタを囲む P 型のウェル領域が配置されていることが好ましい。

【 0 0 3 2 】

これにより、第 1 領域は、PMOS/NMOS トランジスタ、N/P 型のウェル領域についてデバイス仕様等から定められる間隔や、この領域に配置されることのある入出力配線領域内の入出力配線本数で定められる距離の何れか長いほうで決定され、ユニット間配線を確保する必要がないため、短い領域でレイアウトすることができる。従って、PMOS/NMOS トランジスタを接続する配線層の配線長を短くすることができ、この配線による寄生抵抗や寄生容量等を最小限

に低減して、PMOS/NMOSトランジスタを接続して構成する基本回路ユニットにおいて信号の伝播遅延に伴う貫通電流等の特性劣化を防止することができる。

【 0 0 3 3 】

また、PMOS/NMOSトランジスタを配置するN/P型のウェル領域の面積を小さくすることができるので、N/P型のウェル領域をバイアスするための第1及び第2電源配線との接続を頻繁に行うことなく確実にバイアスすることができる。従って、ラッチアップ耐性を維持することができると共に、PMOS/NMOSトランジスタのバックゲートバイアス効果を一定に保つことができトランジスタの特性劣化を防止することができる。

【 0 0 3 4 】

また、請求項3に係る半導体集積回路装置は、請求項1又は2に記載の半導体集積回路装置において、ユニット間接続配線の配置領域は、第2領域のうち、PMOS及びNMOSトランジスタの配置領域の外方領域であることを特徴とする。

【 0 0 3 5 】

請求項3の半導体集積回路装置では、ユニット間接続配線の配置領域は、第2領域のうち、PMOS及びNMOSトランジスタの配置領域の外方にある部分に設定されている。

【 0 0 3 6 】

これにより、機能回路ユニットをレイアウトする際のレイアウトパターン幅の変動要因であるユニット間接続配線を第1及び第2電源配線の外側に配置することができ、第1領域を入出力配線領域のみに利用することができる。ここで、入出力配線領域は、レイアウト設計の初期段階で回路図から容易に見積もることができるので、第1及び第2電源配線の位置を精度よく見積もることができ、レイアウト設計の途中での再見積りをする必要はなくなる。また、第1及び第2電源配線の位置決定後の回路変更にはユニット間接続配線に対応することができ、第1及び第2電源配線の位置を変更する必要はない。従って、レイアウト設計工数の短縮を図ることができ好都合である。

【 0 0 3 7 】

また、請求項 4 に係る半導体集積回路装置は、請求項 3 に記載の半導体集積回路装置において、ユニット間接続配線は、第 1 電源配線側の第 2 領域に配置され、PMOS トランジスタは、第 1 電源配線領域に包含されていることを特徴とする。また、請求項 5 に係る半導体集積回路装置は、請求項 3 に記載の半導体集積回路装置において、ユニット間接続配線は、第 2 電源配線側の第 2 領域に配置され、NMOS トランジスタは、第 2 電源配線領域に包含されていることを特徴とする。

【 0 0 3 8 】

請求項 4 の半導体集積回路装置では、PMOS トランジスタが、第 1 電源配線領域に包含されて配置されており、ユニット間接続配線が、PMOS トランジスタの配置領域の外方領域である第 1 電源配線側の第 2 領域に配置されている。また、請求項 5 の半導体集積回路装置では、NMOS トランジスタが、第 2 電源配線領域に包含されて配置されており、ユニット間接続配線が、NMOS トランジスタの配置領域の外方領域である第 2 電源配線側の第 2 領域に配置されている。

【 0 0 3 9 】

これにより、ユニット間接続配線が第 1 電源配線、あるいは第 2 電源配線の何れかの側にのみ存在する場合には、ユニット間接続配線が存在しない第 2 電源配線、あるいは第 1 電源配線側を、拡散抵抗等の他の素子領域や入出力配線領域として割り当てることが可能であり、半導体集積回路装置の高集積化に寄与するところ大である。

【 0 0 4 0 】

また、ユニット間接続配線を、第 1 電源配線、及び第 2 電源配線の双方に配置させて構成することもできる。ユニット間接続配線を PMOS トランジスタ、及び NMOS トランジスタの双方に直接接続でき都合である。

【 0 0 4 1 】

また、ユニット間接続配線が配置されている第 1 電源配線、あるいは第 2 電源配線側に配置されている PMOS トランジスタ、あるいは NMOS トランジスタが、第 1 電源配線、あるいは第 2 電源配線下に包含されているので、ユニット間

接続配線が配置されている領域に飛び出すことはなく、ユニット間接続配線を圧迫することはない。従って、ユニット間接続配線のレイアウト効率を向上させることができる。

【 0 0 4 2 】

また、請求項 6 に係る半導体集積回路装置は、請求項 4 又は 5 に記載の半導体集積回路装置において、PMOS トランジスタは、ユニット間接続配線の配置領域側の端部を、第 1 電源配線におけるユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする。また、請求項 7 に係る半導体集積回路装置は、請求項 4 又は 5 に記載の半導体集積回路装置において、NMOS トランジスタは、ユニット間接続配線の配置領域側の端部を、第 2 電源配線におけるユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする。

【 0 0 4 3 】

請求項 6 の半導体集積回路装置では、PMOS トランジスタと第 1 電源配線とのユニット間接続配線の配置領域側の端部が一致して配置されている。また、請求項 7 の半導体集積回路装置では、NMOS トランジスタと第 2 電源配線とのユニット間接続配線の配置領域側の端部が一致して配置されている。

【 0 0 4 4 】

これにより、PMOS トランジスタ、あるいは NMOS トランジスタが、ユニット間接続配線が配置されている領域に飛び出すことはなく、ユニット間接続配線を配置する領域を圧迫しないので、レイアウト効率を向上させることができる。また、PMOS トランジスタ、あるいは NMOS トランジスタと、ユニット間接続配線との距離を最短距離にすることができ、ユニット間接続配線を構成する配線層における寄生抵抗や寄生容量を最小限に抑制して、CMOS ユニットの動作特性の悪化を防止することができる。

【 0 0 4 5 】

また、上記の PMOS トランジスタ、あるいは NMOS トランジスタに加え、これらのトランジスタとの間で基本回路ブロックを構成する NMOS トランジスタ、あるいは PMOS トランジスタについて、第 2、あるいは第 1 電源配線とユ

ニット間接続配線の配置領域側の端部を一致させて配置することもできる。これにより、PMOSトランジスタとNMOSトランジスタとの接続距離を短くすることができ、接続配線を構成する配線層における寄生抵抗や寄生容量を最小限に抑制して、基本回路ユニットの動作特性の悪化を防止することができる。

【 0 0 4 6 】

また、請求項 8 に係る半導体集積回路装置は、請求項 4 又は 5 に記載の半導体集積回路装置において、基本回路ユニットとしてナンドゲートをレイアウトする際、ユニット間接続配線が第 1 電源配線側の第 2 領域に配置される場合には、PMOSトランジスタのゲート本数と、NMOSトランジスタのゲート本数とが同数であり、ユニット間接続配線が第 2 電源配線側の第 2 領域に配置される場合には、PMOSトランジスタのゲート本数に比して、NMOSトランジスタのゲート本数が同数以上であることを特徴とする。

【 0 0 4 7 】

請求項 8 の半導体集積回路装置では、ナンドゲートをレイアウトする際、ユニット間接続配線が、第 1 電源配線側あるいは第 2 電源配線側の何れに配置されているかで、レイアウトにおけるゲート本数が異なっている。即ち、ユニット間接続配線が、第 1 電源配線側に配置されている場合には、ゲート本数は同数となり、第 2 電源配線側に配置されている場合には、NMOSトランジスタのゲート本数がPMOSトランジスタのゲート本数に比して同数以上となる。

【 0 0 4 8 】

これにより、ナンドゲートでは、NMOSトランジスタのゲート幅がPMOSトランジスタのゲート幅を下回ることはないので、予め設定された第 1 及び第 2 電源配線の幅に配置する際には、NMOSトランジスタのゲート本数がPMOSトランジスタのゲート本数を下回ることはない。従って、第 1 電源配線側にユニット間接続配線が存在する場合には、NMOSトランジスタのゲート本数とPMOSトランジスタのゲート本数とを同数にレイアウトすることにより、PMOS／NMOSトランジスタ間の接続配線に余分な引き回し領域を設けることなく原則的に折れ曲がりのない配線で接続することができる。

【 0 0 4 9 】

また、第 2 電源配線側にユニット間接続配線が存在する場合には、NMOS トランジスタのゲート本数を PMOS トランジスタのゲート本数より多くしてレイアウトしても、PMOS/NMOS トランジスタ間の接続配線に余分な引き回し領域を設けることなく原則的に折れ曲がりのない配線で接続することができる。

【 0 0 5 0 】

従って、接続配線の折れ曲がりに伴うコンタクトを介した複数の配線層間での接続や、折れ曲がり部分における配線層同士の干渉といった問題を回避することができ、高集積な接続配線を実現することができる。

【 0 0 5 1 】

また、請求項 9 に係る半導体集積回路装置は、請求項 4 又は 5 に記載の半導体集積回路装置において、基本回路ユニットとしてノアゲートをレイアウトする際、ユニット間接続配線が第 1 電源配線側の第 2 領域に配置される場合には、NMOS トランジスタのゲート本数に比して、PMOS トランジスタのゲート本数が同数以上であり、ユニット間接続配線が第 2 電源配線側の第 2 領域に配置される場合には、NMOS トランジスタのゲート本数と、PMOS トランジスタのゲート本数とが同数であることを特徴とする。

【 0 0 5 2 】

請求項 9 の半導体集積回路装置では、ノアゲートをレイアウトする際、ユニット間接続配線が、第 1 電源配線側あるいは第 2 電源配線側の何れに配置されているかで、レイアウトにおけるゲート本数が異なっている。即ち、ユニット間接続配線が、第 1 電源配線側に配置されている場合には、PMOS トランジスタのゲート本数が NMOS トランジスタのゲート本数に比して同数以上となり、第 2 電源配線側に配置されている場合には、ゲート本数は同数となる。

【 0 0 5 3 】

これにより、ノアゲートでは、PMOS トランジスタのゲート幅が NMOS トランジスタのゲート幅を下回ることはないので、予め設定された第 1 及び第 2 電源配線の幅に配置する際には、PMOS トランジスタのゲート本数が NMOS トランジスタのゲート本数を下回ることはないことがわかる。従って、第 2 電源配線側にユニット間接続配線が存在する場合には、PMOS トランジスタのゲート

本数とNMOSトランジスタのゲート本数とを同数にレイアウトすることにより、PMOS/NMOSトランジスタ間の接続配線に余分な引き回し領域を設けることなく原則的に折れ曲がりのない配線で接続することができる。

【 0 0 5 4 】

また、第1電源配線側にユニット間接続配線が存在する場合には、PMOSトランジスタのゲート本数をNMOSトランジスタのゲート本数より多くしてレイアウトしても、PMOS/NMOSトランジスタ間の接続配線に余分な引き回し領域を設けることなく原則的に折れ曲がりのない配線で接続することができる。

【 0 0 5 5 】

従って、接続配線の折れ曲がりに伴うコンタクトを介した複数の配線層での接続や、折れ曲がり部分における配線層同士の干渉といった問題を回避することができ、高集積な接続配線を実現することができる。

【 0 0 5 6 】

また、請求項10に係る半導体集積回路装置は、請求項4又は5に記載の半導体集積回路装置において、必要に応じて多段配置された2組の機能回路ユニット群を、ユニット間接続配線の配置領域とは反対側の端部を対向させてミラー配置してなることを特徴とする。

【 0 0 5 7 】

請求項10の半導体集積回路装置では、ユニット間接続配線が配置されていない端部を境界にして、2組の機能回路ユニット群がミラー反転した態様で対向配置されている。

【 0 0 5 8 】

これにより、ミラー反転部においては、ユニット間接続配線は配置されないで、素子間の耐圧等のデバイス要因から決定される間隔、及び機能回路への入出力配線を配置する場合には配線幅の距離等を考慮することにより決定される必要最小限の間隔を設定して機能回路ユニット群間の位置関係を決定できるので、レイアウト効率を高め高集積化を図るのに好都合である。

【 0 0 5 9 】

また、P型のウェル領域のマージやウェルへのバイアス印加用の拡散領域の共

通化も、レイアウト効率を向上に寄与するものであり、高集積化を図るのに好都合である。

【 0 0 6 0 】

【発明の実施の形態】

以下、本発明の半導体集積回路装置について具体化した第 1 乃至第 7 実施形態を図 1 乃至図 1 7 に基づき図面を参照しつつ詳細に説明する。図 1 は、第 1 実施形態の概略レイアウト図である。図 2 は、第 2 実施形態の概略レイアウト図である。図 3 は、第 3 実施形態の概略レイアウト図である。図 4 は、第 4 実施形態の概略レイアウト図である。図 5 は、ユニット間配線領域とナンドゲートのレイアウト配置との関係を示す説明図である（第 5 実施形態）。図 6 は、ユニット間配線領域とノアゲートのレイアウト配置との関係を示す説明図である（第 6 実施形態）。図 7 は、第 7 実施形態の概略レイアウト図である。図 8 は、図 2 3 の機能回路を第 1 及び第 3 実施形態でレイアウトした場合の具体例を示すレイアウトパターン図である。図 9 は、第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 1 の部分を示すレイアウトパターン図である。図 1 0 は、第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 2 の部分を示すレイアウトパターン図である。図 1 1 は、第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 3 の部分を示すレイアウトパターン図である。図 1 2 は、第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 4 の部分を示すレイアウトパターン図である。図 1 3 は、図 2 3 の機能回路を第 4 実施形態でレイアウトした場合の具体例を示すレイアウトパターン図である。図 1 4 は、第 4 実施形態の具体例のうち論理回路 C I R 1 の部分を示すレイアウトパターン図である。図 1 5 は、第 4 実施形態の具体例のうち論理回路 C I R 2 の部分を示すレイアウトパターン図である。図 1 6 は、第 4 実施形態の具体例のうち論理回路 C I R 3 の部分を示すレイアウトパターン図である。図 1 7 は、第 4 実施形態の具体例のうち論理回路 C I R 4 の部分を示すレイアウトパターン図である。

【 0 0 6 1 】

図 1 に示す第 1 実施形態の概略レイアウト図は、プロセス B を使用する場合のレイアウト図である。図 2 2 の概略レイアウト図における内部配線領域 I L 1 0

0に代えて、機能回路内の論理回路CIR11、CIR12を構成するCMOSユニットP11とN11、P12とN12、P13とN13、P14とN14間、あるいは論理回路CIR11、CIR12間の接続配線11、12A、13、14を、電源電圧配線VCC1と基準電圧配線VSS1に挟まれた領域以外の領域である第2領域B1P及びB1N内で、電源電圧配線VCC1及び基準電圧配線VSS1を越えた外側に配置してユニット間配線領域IL1P、IL1Nを構成している。

【0062】

PMOSトランジスタP11乃至P14がN型のウェル領域NW1内に配置され、その上層を第2メタル層M2Lの電源電圧配線VCC1が覆っている構成、及びNMOSトランジスタN11乃至N14がP型のウェル領域PW1内に配置され、その上層を第2メタル層M2Lの基準電圧配線VSS1が覆っている構成は、図22、及び図24乃至図28に示す従来技術のレイアウトパターン図と同様である。

【0063】

機能回路への入出力配線は、第2領域B1P、B1Nに挟まれた第2領域A1に配置されており入出力配線領域IOL1となっている。N/P型のウェル領域NW1/PW1へのバイアス印加は、ユニット間配線領域IL1P、IL1Nの外側に配置されているオーミックコンタクト用拡散領域NWD1、PWD1に対して、第2メタル層M2Lの電源電圧配線VCC1及び基準電圧配線VSS1からコンタクトCvを介して第1メタル層M1Lに接続された後、第1メタル層M1LからコンタクトCdを介して行われる。

【0064】

ここで、第1実施形態では、プロセスBを想定したレイアウトパターンとなっているので、CMOSユニットのゲート端子への接続は第2メタル層M2Lから行うこととなる。電源電圧配線VCC1及び基準電圧配線VSS1も第2メタル層M2Lであるため、ユニット間配線領域IL1P、IL1Nは第2領域B1P、B1Nのうち電源電圧配線VCC1及び基準電圧配線VSS1の外側に配置されている。また、ユニット間配線12Aに代えて、入出力配線領域IOL1内の

配線 1 2 B を使用する場合が図示されている。これは、CMOS ユニット P 1 2 と N 1 2、P 1 3 と N 1 3 間の信号が機能回路の入出力信号となっている場合に、この信号のための配線を入出力配線領域 I O L 1 に配置した場合に対応する。

【 0 0 6 5 】

図 1 のレイアウトパターン図では、ユニット間配線領域 I L 1 P、I L 1 N が第 2 領域 B 1 P、B 1 N のうち電源電圧配線 V C C 1 及び基準電圧配線 V S S 1 の外側に配置されており、第 1 領域 A 1 には入出力配線領域 I O L 1 のみが配置されている。入出力配線領域 I O L 1 に配置される入出力配線は、機能回路のレイアウトパターンを貫く配線であり、第 1 領域 A 1 に配線のレイアウトによる空白部分は存在しない。

【 0 0 6 6 】

また、第 1 領域 A 1 は、PMOS/NMOS トランジスタ、N/P 型のウェル NM1、PW1 等についてデバイス仕様等から定められる間隔と入出力配線領域 I O L 1 に配置される入出力配線本数で定められる幅の何れか長いほうで定められるが、第 1 領域 A 1 には従来技術と異なりユニット間配線領域がないため幅が短くレイアウトされている。従って、PMOS/NMOS トランジスタを接続する第 1 メタル層 M 1 L の配線長は短くなる。また PMOS/NMOS トランジスタを配置する N/P 型のウェル領域 NW1/PW1 の面積は小さくなる。

【 0 0 6 7 】

CMOS ユニット P 1 1 と N 1 1 乃至 P 1 4 と N 1 4 間、あるいは論理回路 C I R 1 1、C I R 1 2 間の接続配線 1 1、1 2 A、1 3、1 4 に変更がある場合には、第 2 領域 B 1 P、B 1 N におけるユニット間配線領域 I L 1 P、I L 1 N に対応する。

【 0 0 6 8 】

第 1 実施形態の概略レイアウト図によれば、第 1 領域 A 1 には入出力配線領域 I O L 1 のみが配置されており、この入出力配線領域 I O L 1 に配置される入出力配線は機能回路のレイアウトパターンを貫く配線であるので、第 1 領域 A 1 に配線のレイアウトによる空白部分は存在しない。従って、第 1 領域 A 1 におけるレイアウト効率を向上させることができ、半導体集積回路装置の高集積化を実現

することがでできる。

【 0 0 6 9 】

また、第 1 領域 A 1 は、PMOS/NMOS トランジスタ、N/P 型のウェル NW 1、PW 1 等についてデバイス仕様等から定められる間隔と入出力配線領域 IOL 1 に配置される入出力配線本数で定められる距離の何れか長いほうで定められ、ユニット間配線領域 IL 1 P、IL 1 N を確保する必要がないため、従来技術に比して幅を短くレイアウトすることができる。従って、PMOS/NMOS トランジスタを接続する第 1 メタル層 M 1 L の配線長を短くすることができ、この配線による寄生抵抗や寄生容量等を最小限に低減して、PMOS/NMOS トランジスタを接続して構成する CMOS ユニットにおいて信号の伝播遅延に伴う貫通電流等の特性悪化を防止することができる。

【 0 0 7 0 】

また、PMOS/NMOS トランジスタを配置する N/P 型のウェル領域 NW 1/PW 1 の面積を小さくすることができるので、N/P 型のウェル領域 NW 1/PW 1 をバイアスするための電源電圧配線 VCC 1 あるいは基準電圧配線 VSS 1 とのコンタクトを頻繁に設置することなく確実にバイアスすることができる。従って、ラッチアップ耐性を維持することができると共に、PMOS/NMOS トランジスタのバックゲートバイアス効果を一定に保つことができトランジスタの特性悪化を防止することができる。

【 0 0 7 1 】

また、機能回路をレイアウトする際のレイアウトパターン幅の変動要因であるユニット間配線領域 IL 1 P、IL 1 N を電源電圧配線 VCC 1 及び基準電圧配線 VSS 1 の外側に配置することができ、第 1 領域 A 1 を入出力配線領域 IOL 1 のみとすることができる。ここで、入出力配線領域 IOL 1 は、レイアウト設計の初期段階で回路図から容易に見積もることができるので、電源電圧配線 VCC 1 及び基準電圧配線 VSS 1 の位置を精度よく見積もることができ、レイアウト設計の途中での電源電圧配線 VCC 1 と基準電圧配線 VSS 1 との位置の再見積りをする必要はなくなる。また、電源電圧配線 VCC 1 及び基準電圧配線 VSS 1 の位置決定後の回路変更に際しては、ユニット間配線領域 IL 1 P、IL 1

Nで対応することができ、電源電圧配線VCC1及び基準電圧配線VSS1の位置を変更する必要はない。従って、レイアウト設計工数の短縮を図ることができ好都合である。

【0072】

図2に示す第2実施形態の概略レイアウト図は、プロセスAを使用する場合のレイアウト図である。図21の概略レイアウト図における内部配線領域IL100に代えて、機能回路内の論理回路CIR21、CIR22を構成するCMOSユニットP21とN21乃至P24とN24間、あるいは論理回路CIR21、CIR22間の接続配線21、22A、23、24を、第2領域B2P内で電源電圧配線VCC2を越えた外側に配置してユニット間配線領域IL2Pを構成している。第1実施形態に代えて、ユニット間配線領域IL2Pを電源電圧配線VCC2側の第2領域B2Pにのみ配置している構成である。ここで、第2領域B2Pに代えて、基準電圧配線VSS2側の第2領域B2Nに配置することができることは言うまでもない。

【0073】

PMOSトランジスタP21乃至P24と、N型のウェル領域NW2や電源電圧配線VCC2との関係、及びNMOSトランジスタN21乃至N24と、P型のウェル領域PW2や基準電圧配線VSS2との関係、更には、機能回路への入出力配線が第1領域A2に配置されて入出力配線領域IOL2を構成している点、N/P型のウェル領域NW2/PW2へのバイアス印加をユニット間配線領域IL2Pの外側に配置されているオーミックコンタクト用拡散領域NWD2を介して行う点等については、第1実施形態のレイアウトパターンと同様である。ユニット間配線22Aと入出力配線領域IOL2内の配線22Bとの関係も第1実施形態と同様である。

【0074】

ここで、第2実施形態では、プロセスAを想定したレイアウトパターンとなっているので、CMOSユニットのゲート端子への接続は第1メタル層M1Lから行うことができる。

【0075】

第2実施形態のレイアウトパターンでは、ユニット間配線領域 I L 2 P が電源電圧配線 V C C 2 側のみに存在する点で、第1実施形態のレイアウトパターンとは異なっているが、基本的な作用については、第1実施形態と同様である。第2実施形態においては、第2領域 B 2 N には、ユニット間配線領域 I L 2 N がないため、ユニット間接続配線は存在しない。

【0076】

第2実施形態の概略レイアウト図によれば、ユニット間配線領域 I L 2 P が電源電圧配線 V C C 2 側のみに存在する点で、第1実施形態のレイアウトパターンとは異なっているが、基本的な効果については、第1実施形態と同様である。

【0077】

また、第2実施形態では、第2領域 B 2 N における基準電圧配線 V S S 2 の外側にはユニット間配線領域 I L 2 N がなくユニット間接続配線が存在しないので、この領域を図示しない拡散抵抗等の他の素子領域として割り当てることが可能であり、半導体集積回路装置の高集積化に寄与するところ大である。

【0078】

また、ユニット間配線領域 I L 2 P が配置されている電源電圧配線 V C C 2 側に配置されている P M O S トランジスタ P 2 1 乃至 P 2 4 が、電源電圧配線 V C C 2 下に包含されているので、ユニット間配線領域 I L 2 P に飛び出すことはなく、ユニット間配線領域 I L 2 P 内のユニット間接続配線を圧迫することはない。従って、ユニット間接続配線のレイアウト効率を向上させることができる。

【0079】

第2実施形態では、ユニット間配線領域 I L 2 P を電源電圧配線 V C C 2 側のみに配置する場合を例にとり説明したが、基準電圧配線 V S S 2 側にも合わせてユニット間配線領域 I L 2 N を構成してやることもできる。この場合、ユニット間配線領域 I L 2 P、I L 2 N を P M O S トランジスタ、及び N M O S トランジスタの双方に直接接続でき好都合である。

【0080】

図3に示す第3実施形態の概略レイアウト図は、図2に示す第2実施形態の概略レイアウト図を、プロセス B に適用した場合を示しており、更に、第2実施形

態におけるPMOSトランジスタP21乃至P24に代えて、PMOSトランジスタP31乃至P34の外端を電源電圧配線VCC3の外端に一致させた構成となっている。ユニット間配線領域IL2Pに関する第2実施形態の構成をプロセスBに適用するため、PMOS/NMOSトランジスタのゲート端子間を第2メタル層M2Lで接続している。この際、本来の配線方向とは異なり第1メタル層M1Lと同じ方向に第2メタル層M2Lを配置している。この第2メタル層M2Lは第1領域A3と交差するため、第1領域A3には入出力配線領域IOL3は形成されず、図示はしていないが基準電圧配線VSS3の外側等に配置される構成をとる。尚、第3実施形態の構成に代えて、第2領域B3Pに入出力配線領域IOL3を配置し、第2領域B3Nにユニット間配線領域IL3Nを配置するように構成することもできる。

【0081】

PMOSトランジスタP31乃至P34と、N型のウェル領域NW3との関係、及びNMOSトランジスタN31乃至N34と、P型のウェル領域PW3や基準電圧配線VSS3との関係、更には、N/P型のウェル領域NW3/PW3へのバイアス印加をオーミックコンタクト用拡散領域NWD3、PWD3を介して行う点等については、第2実施形態のレイアウトパターンと同様である。

【0082】

ここで、第3実施形態では、プロセスBを想定したレイアウトパターンとなっているので、CMOSユニットのゲート端子への接続は第2メタル層M2Lから行わなければならない。従って、PMOS/NMOSトランジスタのゲート端子を接続する第2メタル層M2Lが第1領域A3を横切って第1メタル層M1Lと並走する構成となっている。

【0083】

第3実施形態のレイアウトパターンでは、第1領域A3には入出力配線領域IOL3を設定せず、ユニット間配線領域IL3Pが電源電圧配線VCC3側のみに存在することを利用して、入出力配線領域IOL3を基準電圧配線VSS3側に配置することができる点で第2実施形態のレイアウトパターンとは異なっているが、基本的な作用については、第2実施形態と同様である。

【 0 0 8 4 】

第 3 実施形態の概略レイアウト図によれば、ユニット間配線領域 I L 3 P が電源電圧配線 V C C 3 側のみに存在し、基準電圧配線 V S S 3 側には入出力配線領域 I O L 3 が存在する点で、第 2 実施形態のレイアウトパターンとは異なっているが、基本的な効果については、第 2 実施形態と同様である。

【 0 0 8 5 】

更に、第 3 実施形態では、PMOS トランジスタ P 3 1 乃至 P 3 4 の外端を電源電圧配線 V C C 3 の外端と一致させて配置しているので、PMOS トランジスタ P 3 1 乃至 P 3 4 が、ユニット間配線領域 I L 3 P に飛び出さずユニット間配線領域 I L 3 P を圧迫することなく、レイアウト効率を向上させることができる。PMOS トランジスタ P 3 1 乃至 P 3 4 とユニット間配線領域 I L 3 P 内のユニット間接続配線との距離を最短距離にすることができ、ユニット間接続配線を構成する第 1 メタル層 M 1 L における寄生抵抗や寄生容量を最小限に抑制して、CMOS ユニットの動作特性の悪化を防止することができる。

【 0 0 8 6 】

尚、第 3 実施形態においては、PMOS トランジスタ P 3 1 乃至 P 3 4 の外端を電源電圧配線 V C C 3 の外端と一致させる場合について例示したが、これとは逆に、NMOS トランジスタ N 3 1 乃至 N 3 4 の外端を基準電圧配線 V S S 3 の外端と一致させ、ユニット間配線領域 I L 3 N を基準電圧配線 V S S 3 側に配置した場合にも、NMOS トランジスタに関し同様の作用・効果を奏することは言うまでもない。

【 0 0 8 7 】

図 4 に示す第 4 実施形態の概略レイアウト図は、図 3 に示す第 3 実施形態の概略レイアウト図に加えて、PMOS トランジスタ P 4 1 乃至 P 4 4 の外端を電源電圧配線 V C C 4 の外端に一致させると共に、NMOS トランジスタ N 4 1 乃至 N 4 4 の内端を基準電圧配線 V S S 4 の内端に一致させる構成である。PMOS / NMOS トランジスタのゲート端子間を第 2 メタル層 M 2 L で接続して、第 1 メタル層 M 1 L と同じ方向に並走させる構成については第 3 実施形態と同様である。従って、第 1 領域 A 4 に入出力配線領域 I O L 4 は形成されず、図示してい

ない基準電圧配線VSS4の外端側に配置される構成についても第3実施形態と同様である。尚、第2領域B4Pに入出力配線領域IOL4を配置し、第2領域B4Nにユニット間配線領域IL4Nを配置するように構成することもできる。

【0088】

PMOSトランジスタP41乃至P44とN型のウェル領域NW4との関係、及びNMOSトランジスタN41乃至N44とP型のウェル領域PW4との関係、そして、N/P型のウェル領域NW4/PW4へのバイアス印加をオーミックコンタクト用拡散領域NWD4、PWD4を介して行う点等についても第3実施形態のレイアウトパターンと同様である。更に、プロセスBを想定したレイアウトパターンとなっていることより、PMOS/NMOSトランジスタのゲート端子を接続する第2メタル層M2Lが第1領域A4を横切って第1メタル層M1Lと並走する構成となっている点についても第3実施形態と同様である。

【0089】

第4実施形態のレイアウトパターンでは、第3実施形態と同様に、第1領域A4に入出力配線領域IOL4を設定せず、ユニット間配線領域IL4Pが電源電圧配線VCC4の外端側にのみ存在すると共に、入出力配線領域IOL4を基準電圧配線VSS4の外端側に配置させることができる点を含め基本的な作用については、第3実施形態と同様である。

【0090】

第4実施形態の概略レイアウト図によれば、ユニット間配線領域IL4Pが電源電圧配線VCC4の外端側にのみ存在し、基準電圧配線VSS4の外端側には入出力配線領域IOL4が存在する点、及びPMOSトランジスタP41乃至P44の外端を電源電圧配線VCC4の外端と一致させて配置している点で、第3実施形態のレイアウトパターンと同様であり、基本的な効果については第3実施形態と同様である。

【0091】

更に、第4実施形態では、NMOSトランジスタN41乃至N44の内端を基準電圧配線VSS4の内端に一致させて配置しているので、PMOSトランジスタP41乃至P44の外端が電源電圧配線VCC4の外端に一致していることと

合わせて、PMOSトランジスタP41乃至P44とNMOSトランジスタN41乃至N44との間隔を最短距離にすることができる。PMOS/NMOSトランジスタを接続してCMOSユニットを構成する際の第1メタル層M1Lの接続配線における寄生抵抗や寄生容量を最小限に抑制して、CMOSユニットの動作特性の悪化を防止することができる。

【0092】

尚、第4実施形態においては、PMOS/NMOSトランジスタP41乃至P44/N41乃至N44の外/内端を、各々、電源電圧/基準電圧配線VCC4/VSS4の外/内端と一致させる場合について例示したが、これとは逆に、各々のトランジスタの内/外端を、電源電圧/基準電圧配線VCC4/VSS4の内/外端と一致させる場合にも同様の作用・効果を奏することは言うまでもない。

【0093】

図5に示す第5実施形態は、ユニット間配線領域IL1P、IL1N乃至IL4PとCMOSユニットであるナンドゲートのレイアウト配置との関係を示している。図5には、n入力ナンドゲートの回路図を示している。ナンドゲート回路図は、電源電圧配線VCC5と出力端子OUTとの間で並列接続されるPMOSトランジスタMP1乃至MPn（ゲート幅はWp）と、出力端子OUTと基準電圧配線VSS5との間に直列接続されるNMOSトランジスタMN1乃至MNn（ゲート幅はWn）とにより構成されている。半導体集積回路装置のP/N型導電体の多数キャリア（電子/正孔（ホール））の易動度の比が1対2であることより、PMOS/NMOSトランジスタの電流駆動能力としてゲート幅の比を2対1として、出力ノードの立上りと立下がりの出力波形を同一とする一般的な回路設計がなされる。従って、図5では、

$$W_p : W_n / n = 2 : 1$$

の関係が成立し、この式を整理すると、

$$W_n = (n / 2) \times W_p$$

ここでナンドゲートの入力端子数が2以上であることより（ $n \geq 2$ ）、

$$W_n \geq W_p \text{（等号は、} n = 2 \text{ のとき）}$$

の関係が導かれる。

【0094】

4 入力 ($n=4$ 、 $W_n=2W_p$) の場合についてレイアウトした際の PMOS/NMOS トランジスタの概略レイアウト図を下段に示している。PMOS トランジスタを基準として、ゲート端子を折り返さないでレイアウトする場合を考える。PMOS トランジスタのゲート幅が W の場合には、NMOS トランジスタのゲート幅は $2W$ となる ($W_n=2W_p=2W$)。 $2W$ の幅が基準電圧配線 V_{SS5} の幅以下であれば、NMOS トランジスタはゲート端子を折り返さなくてよい。従って、PMOS トランジスタと NMOS トランジスタは、ゲート本数が同数となり、ゲート、ソース、ドレインの各端子が対向するようにレイアウトすることができる。

【0095】

これに対して、PMOS トランジスタのゲート幅が $2W$ の場合には、NMOS トランジスタのゲート幅は $4W$ となる ($W_n=2W_p=4W$)。 $4W$ の幅が基準電圧配線 V_{SS5} 幅以上であれば、NMOS トランジスタはゲート端子を折り返さなくてはならない。図 5 では 1 回折り返したレイアウトを示している。この場合には、NMOS トランジスタのゲート本数は PMOS トランジスタのゲート本数の倍となる。

【0096】

第 5 実施形態によれば、ナンドゲートでは、各々のゲート幅は図 5 に示す関係式となり NMOS トランジスタのゲート幅が PMOS トランジスタのゲート幅を下回ることはないため、予め設定された電源電圧配線 V_{CC5} 及び基準電圧配線 V_{SS5} の幅に配置する際には、NMOS トランジスタのゲート本数が PMOS トランジスタのゲート本数を下回ることはないことがわかる。従って、電源電圧配線 V_{CC5} 側にユニット間配線領域 $IL5P$ が存在する場合には、NMOS トランジスタのゲート本数と PMOS トランジスタのゲート本数とを同数にレイアウトすることにより、PMOS/NMOS トランジスタ間の接続配線を複数の配線層を経由して引き回すことなく、原則的に折れ曲がりのない 1 つの配線層で接続することができる。

【 0 0 9 7 】

また、基準電圧配線 $VSS5$ 側にユニット間配線領域 $IL5N$ が存在する場合には、NMOSトランジスタのゲート本数をPMOSトランジスタのゲート本数より多くしてレイアウトしても、PMOS/NMOSトランジスタ間の接続配線を複数の配線層を経由して引き回すことなく、原則的に折れ曲がりのない1つの配線層で接続することができる。

【 0 0 9 8 】

従って、接続配線の折れ曲がりに伴うコンタクト Cv を介した第1メタル層 $M1L$ と第2メタル層 $M2L$ との接続や、折れ曲がり部分における第2メタル層 $M2L$ 同士の干渉といった問題を回避することができ、高集積な接続配線を実現することができる。

【 0 0 9 9 】

図6に示す第6実施形態は、ユニット間配線領域 $IL1P$ 、 $IL1N$ 乃至 $IL4P$ とCMOSユニットであるノアゲートのレイアウト配置との関係を示している。図6では、ノアゲート回路図として m 入力のノアゲートを示している。ノアゲート回路図は、電源電圧配線 $VCC6$ と出力端子 OUT との間に直列接続されたPMOSトランジスタ $MP1$ 乃至 MPm (ゲート幅は Wp) と、出力端子 OUT と基準電圧配線 $VSS6$ との間に並列接続されたNMOSトランジスタ $MN1$ 乃至 MNm (ゲート幅は Wn) とにより構成されている。第5実施形態の場合と同様に多数キャリアの易動度の比 (1対2) からPMOS/NMOSトランジスタのゲート幅の比は2対1として、

$$Wp/m : Wn = 2 : 1$$

の関係が成立し、この式を整理すると、

$$Wp = 2m \times Wn$$

ここでノアゲートの入力端子数が2以上であることより ($m \geq 2$)、

$$Wp \geq 4Wn \text{ (等号は、} m=2 \text{ のとき)}$$

の関係が導かれる。

【 0 1 0 0 】

2入力 ($m=2$ 、 $Wp=4Wn$) の場合についてレイアウトした際のPMOS

／NMOSトランジスタの概略レイアウト図を下段に示している。NMOSトランジスタを基準として、ゲート端子を折り返さないでレイアウトする場合を考える。NMOSトランジスタのゲート幅が W の場合には、PMOSトランジスタのゲート幅は $4W$ となる ($W_p = 4W_n = 4W$)。 $4W$ の幅が電源電圧配線 $VCC6$ の幅以下であれば、PMOSトランジスタはゲート端子を折り返さなくてよい。従って、NMOSトランジスタとPMOSトランジスタはゲート本数が同数となり、ゲート、ソース、ドレインの各端子が対向するようにレイアウトすることができる。

【0101】

これに対して、 $4W$ の幅が電源電圧配線 $VCC6$ の幅以上であれば、PMOSトランジスタはゲート端子を折り返さなくてはならない。図6では1回折り返したレイアウトを示している。この場合には、PMOSトランジスタのゲート本数はNMOSトランジスタのゲート本数の倍となる。

【0102】

第6実施形態によれば、ノアゲートでは、各々のゲート幅は図6に示す関係式となりPMOSトランジスタのゲート幅がNMOSトランジスタのゲート幅を下回ることはないため、予め設定された電源電圧配線 $VCC6$ 及び基準電圧配線 $VSS6$ の幅に配置する際には、PMOSトランジスタのゲート本数がNMOSトランジスタのゲート本数を下回ることはないことがわかる。従って、基準電圧配線 $VSS6$ 側にユニット間配線領域 $IL6N$ が存在する場合には、PMOSトランジスタのゲート本数とNMOSトランジスタのゲート本数とを同数にレイアウトすることにより、PMOS／NMOSトランジスタ間の接続配線を複数の配線層を経由して引き回すことなく、原則的に折れ曲がりのない1つの配線層で接続することができる。

【0103】

また、電源電圧配線 $VCC6$ 側にユニット間配線領域 $IL6P$ が存在する場合には、PMOSトランジスタのゲート本数をNMOSトランジスタのゲート本数より多くしてレイアウトしても、PMOS／NMOSトランジスタ間の接続配線を複数の配線層を経由して引き回すことなく、原則的に折れ曲がりのない1つの

配線層で接続することができる。

【 0 1 0 4 】

従って、接続配線の折れ曲がりに伴うコンタクトC_vを介した第1メタル層M_{1L}と第2メタル層M_{2L}との接続や、折れ曲がり部分における第2メタル層M_{2L}同士の干渉といった問題を回避することができ、高集積な接続配線を実現することができる。

【 0 1 0 5 】

図7に示す第7実施形態の概略レイアウト図は、図2に示す第2実施形態の概略レイアウト図を、基準電圧配線V_{SS7}の外側を基準にミラー反転して折り返し、ミラー反転した各々のP型のウェル領域を1つにマージして新たにP型のウェル領域P_{W7}とすると共に、P型のウェル領域P_{W7}へのバイアス印加をするためのオーミックコンタクト用拡散領域P_{WD7}を共通化した構成となっている。

【 0 1 0 6 】

第7実施形態によれば、ミラー反転部である第3領域C₇においては、ユニット間接続配線は配置されないため、素子間の耐圧等のデバイス要因から決定される間隔、及び機能回路への入出力配線を配置する場合には配線幅の距離等を考慮することにより決定される必要最小限の間隔を設定して、レイアウト間の位置関係を決定できるので、レイアウト効率を高め高集積化を図るのに好都合である。

【 0 1 0 7 】

また、P型のウェル領域P_{W7}のマージやバイアス印加用の拡散領域P_{WD7}の共通化も、レイアウト効率を向上に寄与するものであり、高集積化を図るのに好都合である。

【 0 1 0 8 】

図8は、第1実施形態に示すように電源電圧配線V_{CC1}及び基準電圧配線V_{SS1}の外側にユニット間配線領域I_{L1P}及びI_{L1N}を配置し、更に、第3実施形態に示すように、PMOSトランジスタP₃₁乃至P₃₄の外端及びNMOSトランジスタN₃₁乃至N₃₄の外端を、ユニット間配線領域I_{L1P}及びI_{L1N}に近づけるように、電源電圧配線V_{CC3}の外端及び基準電圧配線V_S

S 3 の外端に一致させて配置した構成を有して、図 2 3 の機能回路 F N B をレイアウトしたレイアウトパターン図の具体例である。論理回路 C I R 1 乃至 C I R 4 の配置順序は図 2 4 の従来技術と同じである。各論理回路 C I R 1 乃至 C I R 4 の部分を拡大したレイアウトパターン図を、図 9 乃至図 1 2 に示す。図中、従来技術におけるレイアウトパターン図と同一の構成要素については同一の符号を付し説明を省略する。

【 0 1 0 9 】

図 8 に示す第 1 及び第 3 実施形態の具体例では、P M O S トランジスタと N 型のウェル領域 N W との関係、及び N M O S トランジスタと P 型のウェル領域 P W との関係、更には、機能回路への入出力配線が第 1 領域 A に配置されて入出力配線領域 I O L を構成している点については従来技術のレイアウトパターンと同様であるので、ここでの説明は省略する。また、本具体例では、従来技術の場合と同様に図 2 0 に示すプロセス B を適用して構成されているため、第 1 乃至第 3 メタル層 M 1 L 乃至 M 3 L 間を接続するコンタクト C v 、C v v の構成、及び P o l i S i 層が第 2 メタル層 M 2 L との間でコンタクト C p p により接続されている点に関しても従来技術のレイアウトパターンと同様であり、各配線層の配線方向についても従来技術と同じであり、ここでの説明は省略する。

【 0 1 1 0 】

本具体例では、P M O S トランジスタは、電源電圧配線 V C C からはみ出すことなく外端を電源電圧配線 V C C の外端に一致させて配置されており、その外側にユニット間配線領域 I L P が配置されている。また、N M O S トランジスタは、基準電圧配線 V S S からはみ出すことなく外端を基準電圧配線 V S S の外端に一致させて配置されており、その外側にユニット間配線領域 I L N が配置されている。N / P 型のウェル領域 N W / P W へのバイアス印加を行うための拡散領域 N W D 、P W D は、各々、ユニット間配線領域 I L P 、I L N の外側に配置されている。

【 0 1 1 1 】

電源電圧配線 V C C と基準電圧配線 V S S とに挟まれた第 1 領域 A には、ユニット間配線領域 I L P 、I L N は存在しておらず、機能回路のレイアウトパター

ンを貫く入出力配線OUT 1乃至OUT 7が配置されている入出力配線領域IOLのみが存在する。従って、第1領域Aには配線用の領域が未配線のまま冗長な空白領域として残ることはなく、レイアウト効率が向上して高集積化を図ることができる。

【0112】

また、第1領域Aに空白領域等の冗長な領域が存在しないので、PMOS/NMOSトランジスタ間を最短距離で接続することができる。また、PMOSトランジスタの外端を電源電圧配線VCCの外端に一致させ、NMOSトランジスタの外端を基準電圧配線VSSの外端に一致させており、各々のユニット間配線領域ILP、ILNまでの距離を最短距離にすることができる。接続配線に伴う寄生抵抗や寄生容量等の寄生素子成分を最小限に低減することができ、CMOSユニットにおける信号遅延差等を生ぜず、ユニット特性を好適に維持することができる。具体的な効果としては、PMOS/NMOSトランジスタのドレイン配線における寄生抵抗を低減する効果を有する。例えば、図9における論理回路CIR1のインバータゲートI5では、従来技術のレイアウトパターンの場合に比して、18シート分（シート抵抗とは、配線長/配線幅を表す）の配線長の減少効果が得られる。接続配線である第1メタル層M1Lのシート抵抗を 3Ω と仮定すると、約 60Ω の抵抗低減効果が得られることとなる。インバータゲートI5の駆動負荷容量を寄生容量を含めて 1pF と仮定すると、時定数として約 0.06ns の短縮効果が得られる。数 100MHz 以上で動作する半導体集積回路装置においては、この時定数短縮は、内部信号のタイミングスキューの抑制に大きな効果を有するものである。また、この時定数が加算されるクリティカルパスにおいては信号伝播遅延時間の短縮に直接に影響し動作速度の高速化には必須なものである。

【0113】

また、ウェル領域NW、PWの面積も最小化することができ、ウェルバイアスの安定印加を可能として、ラッチアップ耐性の確保や、PMOS/NMOSトランジスタのバックゲートバイアスの安定化による素子特性の安定化を実現することができる。

【 0 1 1 4 】

また、PMOS/NMOSトランジスタが電源電圧配線VCC及び基準電圧配線VSSから飛び出さないで、各々のユニット間配線領域ILP、ILNを圧迫することではなく、レイアウト効率を向上させることができる。

【 0 1 1 5 】

本具体例では、電源電圧配線VCC及び基準電圧配線VSSの外側に、それぞれユニット間配線領域ILP、ILNを配置する構成について説明したが、これに限定されることなく、電源電圧配線VCCあるいは基準電圧配線VSSの何れが一方の外側にのみユニット間配線領域ILPあるいはILNを配置する構成としてもよい。この場合、第1領域Aには、第2メタル層M2Lの入出力配線を配置する入出力配線領域IOLに交差して、PMOS/NMOSトランジスタ間を接続する接続配線が第1メタル層M1Lで配線されることとなる。従って、この場合の仕様プロセスは図20におけるプロセスBとなる。

【 0 1 1 6 】

図13は、第4実施形態の構成を有して、図23の機能回路FNBをレイアウトしたレイアウトパターン図の具体例である。論理回路CIR1乃至CIR4の配置順序は図24の従来技術と同じである。各論理回路CIR1乃至CIR4の部分を拡大したレイアウトパターン図を、図14乃至図17に示す。図中、従来技術におけるレイアウトパターン図と同一の構成要素については同一の符号を付し説明を省略する。

【 0 1 1 7 】

図13に示す第4実施形態の具体例では、PMOSトランジスタとN型のウェル領域NWとの関係、及びNMOSトランジスタとP型のウェル領域PWとの関係については従来技術のレイアウトパターンと同様であるのでここでの説明は省略する。また、本具体例では、従来技術の場合と同様に図20に示すプロセスBを適用して構成されているため、第1乃至第3メタル層M1L乃至M3L、Polisi層の配線方向、及び各配線層間を接続するコンタクトCv、Cvv、Cpの構成に関しても従来技術のレイアウトパターンと同様でありここでの説明は省略する。

【 0 1 1 8 】

本具体例では、PMOSトランジスタは、電源電圧配線VCCからはみ出すことなく外端を電源電圧配線VCCの外端に一致させて配置されており、その外側にユニット間配線領域ILPが配置されている。また、NMOSトランジスタは、基準電圧配線VSSからはみ出すことなく内端を基準電圧配線VSSの内端に一致させて配置されており、基準電圧配線VSSの外端側に入出力配線領域IOLが配置されている。N型のウェル領域NWへのバイアス印加を行うための拡散領域NWDはユニット間配線領域ILPの外側に配置されている。尚、P型のウェル領域PWへのバイアス印加を行うための拡散領域PWDは基準電圧配線VSSと入出力配線領域IOLとの間に配置されている。

【 0 1 1 9 】

電源電圧配線VCCと基準電圧配線VSSとに挟まれた第1領域Aには、ユニット間配線領域、入出力配線領域は共に存在しない。従って、第1領域Aは、配線用の領域が未配線のまま冗長な空白領域として残ることがなく、更に領域幅がPMOS/NMOSトランジスタ間の耐圧仕様等のレイアウト仕様により決定されるため、必要最小限の幅に圧縮することができる。機能回路のレイアウト効率を高めることができ、高集積化を図ることができる。

【 0 1 2 0 】

また、第1領域Aの幅が必要最小限に圧縮されていることに加えNMOSトランジスタの内端が基準電圧配線VSSの内端に一致しているので、PMOS/NMOSトランジスタ間を最短距離で接続することができる。また、PMOSトランジスタの外端を電源電圧配線VCCの外端に一致させ、各々のユニット間配線領域ILPまでの距離を最短距離にすることができる。接続配線に伴う寄生抵抗や寄生容量等の寄生素子成分を最小限に低減することができ、CMOSユニットにおける信号遅延差等を生ぜず、ユニット特性を好適に維持することができる。具体的な効果としてPMOS/NMOSトランジスタのドレイン配線における寄生抵抗の低減効果があることは、図8の具体例と同様である。

【 0 1 2 1 】

また、ウェル領域NW、PWの面積も最小化することができ、ウェルバイアス

の安定印加を可能として、ラッチアップ耐性の確保や、PMOS/NMOSトランジスタのバックゲートバイアスの安定化による素子特性の安定化を実現することができる。

【 0 1 2 2 】

また、PMOS/NMOSトランジスタが電源電圧配線VCC及び基準電圧配線VSSから飛び出さないで、各々のユニット間配線領域ILPや入出力配線領域IOLを圧迫することではなく、レイアウト効率を向上させることができる。

【 0 1 2 3 】

ここで、ユニット間配線領域ILPを電源電圧配線VCCの外側に配置する場合において、ナンドゲートの構成について、図14の論理回路CIR1におけるナンドゲートD1乃至D5、及び図15の論理回路CIR2におけるナンドゲートD6、D7を例にとり説明する。この場合には、ナンドゲートD1乃至D6を構成するPMOS/NMOSトランジスタのゲート本数は同数とすることが好ましい。各々のトランジスタの各端子が1対1に対向するので、ユニット間配線領域ILPからの接続配線に冗長な迂回路を設けることなく1つの配線層で直線的に配線することができるからである。また、ナンドゲートD7に示すように、PMOSトランジスタのゲート本数を、NMOSトランジスタのゲート本数に比して多く設定してやる場合にも、接続配線に冗長性なく配線することができる。尚、ナンドゲートD7は、PMOS/NMOSトランジスタのゲート幅比が、4対1となる特殊な構成を有したナンドゲートである。

【 0 1 2 4 】

また、ノアゲートの場合を、図15の論理回路CIR2におけるノアゲートR1、R4を例にとり説明する。ノアゲートR1の場合のように、PMOSトランジスタのゲート本数をNMOSトランジスタのゲート本数に比して多くするか、あるいは、ノアゲートR4の場合のように、PMOS/NMOSトランジスタのゲート本数を同数にすることが好ましい。各々のトランジスタの各端子が1対1に対向するので、ユニット間配線領域ILPからの接続配線に冗長な迂回路を設けることなく、1つの配線層で直線的に配線することができるからである。

【 0 1 2 5 】

本具体例とは反対に、基準電圧配線VSSの外側にユニット間配線領域ILNを配置する場合には、上記の関係を逆転させればよい。即ち、ナンドゲートについては、NMOSトランジスタのゲート本数をPMOSトランジスタのゲート本数に比して多くするか、あるいは同数とし、ノアゲートについては、PMOS/NMOSトランジスタのゲート本数を同数とすることが好ましい。

【0126】

本具体例では、電源電圧配線VCCの外側にユニット間配線領域ILPを配置し、基準電圧配線VSSの外側に入出力配線領域IOLを配置する構成について説明したが、ユニット間配線領域ILP、ILNと入出力配線領域IOLとを、電源電圧配線VCCと基準電圧配線VSSとの外側に分けて配置する構成としてもよい。この場合、第1領域Aは、PMOS/NMOSトランジスタのド레인端子間を接続する第1メタル層M1Lのみが配線されることとなる。そして、PMOSトランジスタのゲート端子へは電源電圧配線VCC側のユニット間配線領域ILPから供給され、NMOSトランジスタのゲート端子へは電源電圧配線VSS側のユニット間配線領域ILNから供給されることとなる。

【0127】

また、ユニット間配線領域ILPと入出力配線領域IOLとを共に、電源電圧配線VCC側、あるいは基準電圧配線VSS側の何れか一方のみに配置する構成としてもよい。この場合、第1領域Aは、PMOS/NMOSトランジスタのド레인端子間を接続する第1メタル層M1Lのみが配線されることとなる。

【0128】

尚、本発明は前記第1乃至第7実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

ユニット間配線領域、入出力配線領域は、本実施形態において説明した配置領域以外にも、レイアウト効率を向上させ、構成要素の特性劣化を防止し、あるいはレイアウト設計の変更を容易化する配置であれば、第1領域乃至第3領域内の適宜の領域に配置することができる。

また、各実施形態においては、適宜、製造プロセスをプロセスA、Bとした場

合のレイアウトパターンについて説明したが、相互にプロセスを変更して実施することも、更に別のプロセスにおいて実施することも可能である。

【 0 1 2 9 】

(付記 1) 中間に第 1 領域を有して 1 方向に配置される 1 対の第 1 及び第 2 電源配線と、PMOS トランジスタ、NMOS トランジスタを適宜に組み合わせ前記第 1 及び第 2 電源配線に沿って構成される基本回路ユニットと、複数の前記基本回路ユニットで構成される論理回路ユニットと、複数の前記論理回路ユニットで構成される機能回路ユニットとを備え、前記機能回路ユニットを適宜に多段配置する半導体集積回路装置において、

前記 PMOS 及び NMOS トランジスタ構造の少なくとも一部分を前記第 1 及び第 2 電源配線下に配置すると共に、

前記基本回路ユニット間を接続する配線、もしくは前記論理回路ユニット間を接続する配線のうち前記機能回路ユニット内で終端するユニット間接続配線を、前記第 1 及び第 2 電源配線を構成する配線層と同層、あるいは下層の配線層で構成する際、前記第 1 領域以外の領域である第 2 領域に配置することを特徴とする半導体集積回路装置。

(付記 2) 前記第 1 電源配線の下層には、前記第 1 電源配線に沿って、PMOS トランジスタと、該 PMOS トランジスタを囲む N 型のウェル領域が配置され、前記第 2 電源配線の下層には、前記第 2 電源配線に沿って、NMOS トランジスタと、該 NMOS トランジスタを囲む P 型のウェル領域が配置されていることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 3) 前記ユニット間接続配線の配置領域は、前記第 2 領域のうち、PMOS 及び NMOS トランジスタの配置領域の外方領域であることを特徴とする付記 1 又は 2 に記載の半導体集積回路装置。

(付記 4) 前記ユニット間接続配線は、前記第 1 電源配線側の前記第 2 領域に配置され、前記 PMOS トランジスタは、前記第 1 電源配線領域に包含されていることを特徴とする付記 3 に記載の半導体集積回路装置。

(付記 5) 前記ユニット間接続配線は、前記第 2 電源配線側の前記第 2 領域に配置され、前記 NMOS トランジスタは、前記第 2 電源配線領域に包含されてい

ることを特徴とする付記 3 に記載の半導体集積回路装置。

(付記 6) 前記 PMOS トランジスタは、前記ユニット間接続配線の配置領域側の端部を、前記第 1 電源配線における前記ユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 7) 前記 NMOS トランジスタは、前記ユニット間接続配線の配置領域側の端部を、前記第 2 電源配線における前記ユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 8) 前記 NMOS トランジスタは、前記ユニット間接続配線の配置領域側の端部を、前記第 2 電源配線における前記ユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする付記 5 に記載の半導体集積回路装置。

(付記 9) 前記 PMOS トランジスタは、前記ユニット間接続配線の配置領域側の端部を、前記第 1 電源配線における前記ユニット間接続配線の配置領域側の端部に一致させて配置されていることを特徴とする付記 5 に記載の半導体集積回路装置。

(付記 10) 前記基本回路ユニットが第 1 ナンドゲートである場合、

前記第 1 ナンドゲートを構成するレイアウトパターンにおいて、前記 PMOS トランジスタのゲート本数と、前記 NMOS トランジスタのゲート本数とが同数であることを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 11) 前記基本回路ユニットが第 1 ノアゲートである場合、

前記第 1 ノアゲートを構成するレイアウトパターンにおいて、前記 NMOS トランジスタのゲート本数に比して、前記 PMOS トランジスタのゲート本数が同数以上であることを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 12) 前記基本回路ユニットが第 2 ナンドゲートである場合、

前記第 2 ナンドゲートを構成するレイアウトパターンにおいて、前記 PMOS トランジスタのゲート本数に比して、前記 NMOS トランジスタのゲート本数が同数以上であることを特徴とする付記 5 に記載の半導体集積回路装置。

(付記 1 3) 前記基本回路ユニットが第 2 ノアゲートである場合、

前記第 2 ノアゲートを構成するレイアウトパターンにおいて、前記 NMOS トランジスタのゲート本数と、前記 PMOS トランジスタのゲート本数とが同数であることを特徴とする付記 5 に記載の半導体集積回路装置。

(付記 1 4) 必要に応じて多段配置された 2 組の前記機能回路ユニット群を、前記ユニット間接続配線の配置領域とは反対側の端部を対向させてミラー配置してなることを特徴とする付記 4 又は 5 に記載の半導体集積回路装置。

(付記 1 5) ミラー配置された前記 2 組の前記機能回路ユニット群において、対向する同一導電型のトランジスタを囲むウェル領域は共有して設けられていることを特徴とする付記 1 4 に記載の半導体集積回路装置。

(付記 1 6) 前記共有されたウェル領域へのバイアス印加用コンタクト領域は共有して設けられていることを特徴とする付記 1 5 に記載の半導体集積回路装置。

【 0 1 3 0 】

【発明の効果】

本発明によれば、半導体集積回路装置の機能回路群をチップ上の 1 方向に展開するレイアウトパターンにおいて、CMOS ユニット間、及び論理回路間の内部接続配線を、電源電圧配線と基準電圧配線との外側に配置することにより、電源電圧配線と基準電圧配線とに挟まれた領域を必要最小限の間隔に低減することができ接続配線等が配置されない余分な空白領域がなくなりレイアウト効率を高めて高集積化に寄与することができる

【 0 1 3 1 】

また、電源電圧配線と基準電圧配線との間を必要最小限の間隔に低減することができるので、PMOS/NMOS トランジスタを最短長で接続することができ接続配線の寄生素子成分を最小限に低減することができる。また、ウェル面積も必要最小限にすることができる。両トランジスタを接続して構成される CMOS ユニットの特性向上やラッチアップ耐性の悪化を防止することができる。

【 0 1 3 2 】

更に、レイアウト設計の開始に際して、電源電圧配線と基準電圧配線との間隔

を見積り易くなり、また、レイアウト設計による電源電圧配線と基準電圧配線との位置決定後の回路変更に伴う内部接続配線の追加に対しても、電源電圧配線と基準電圧配線との位置を変更することなく対応できるので、短期間設計を図ることができる。

【図面の簡単な説明】

【図 1】

第 1 実施形態の概略レイアウト図である。

【図 2】

第 2 実施形態の概略レイアウト図である。

【図 3】

第 3 実施形態の概略レイアウト図である。

【図 4】

第 4 実施形態の概略レイアウト図である。

【図 5】

ユニット間配線領域とナンドゲートのレイアウト配置との関係を示す説明図である（第 5 実施形態）。

【図 6】

ユニット間配線領域とノアゲートのレイアウト配置との関係を示す説明図である（第 6 実施形態）。

【図 7】

第 7 実施形態の概略レイアウト図である。

【図 8】

図 2 3 の機能回路を第 1 及び第 3 実施形態でレイアウトした場合の具体例を示すレイアウトパターン図である。

【図 9】

第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 1 の部分を示すレイアウトパターン図である。

【図 1 0】

第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 2 の部分を示すレイアウト

トパターン図である。

【図 1 1】

第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 3 の部分を示すレイアウトパターン図である。

【図 1 2】

第 1 及び第 3 実施形態の具体例のうち論理回路 C I R 4 の部分を示すレイアウトパターン図である。

【図 1 3】

図 2 3 の機能回路を第 4 実施形態でレイアウトした場合の具体例を示すレイアウトパターン図である。

【図 1 4】

第 4 実施形態の具体例のうち論理回路 C I R 1 の部分を示すレイアウトパターン図である。

【図 1 5】

第 4 実施形態の具体例のうち論理回路 C I R 2 の部分を示すレイアウトパターン図である。

【図 1 6】

第 4 実施形態の具体例のうち論理回路 C I R 3 の部分を示すレイアウトパターン図である。

【図 1 7】

第 4 実施形態の具体例のうち論理回路 C I R 4 の部分を示すレイアウトパターン図である。

【図 1 8】

半導体集積回路装置において機能回路群の配置関係を示す概略レイアウト図である。

【図 1 9】

従来技術における機能回路群の一部を拡大した概略レイアウト図である。

【図 2 0】

半導体集積回路装置における製造プロセス別の多層配線構造を示す説明図であ

る。

【図 2 1】

プロセス A を使用した場合の概略レイアウト図である。

【図 2 2】

プロセス B を使用した場合の概略レイアウト図である。

・ 【図 2 3】

機能回路の具体例を示す回路ブロック図である。

【図 2 4】

図 2 3 の機能回路を従来技術でレイアウトした場合の具体例を示すレイアウトパターン図である。

【図 2 5】

従来技術の具体例のうち論理回路 C I R 1 の部分を示すレイアウトパターン図である。

【図 2 6】

従来技術の具体例のうち論理回路 C I R 2 の部分を示すレイアウトパターン図である。

【図 2 7】

従来技術の具体例のうち論理回路 C I R 3 の部分を示すレイアウトパターン図である。

【図 2 8】

従来技術の具体例のうち論理回路 C I R 4 の部分を示すレイアウトパターン図である。

【符号の説明】

A 1、A 2、A 3、A 4、A 7 P、A 7 N

第 1 領域

B 1 P、B 1 N、B 2 P、B 2 N、B 3 P、B 3 N、B 4 P、B 4 N、B 7 P、
B 7 N

第 2 領域

C 7

第 3 領域

C I R 1、C I R 2、C I R 3、C I R 4、C I R 1 1、C I R 1 2、C I R 2

1、CIR22、CIR31、CIR32、CIR41、CIR42

論理回路

Cvv 第3メタル層と第2メタル層との間のVIAコンタクト

Cv、Cv101、Cv102、Cv103、Cv104

 第2メタル層と第1メタル層との間のVIAコンタクト

Cpp、Cpp101、Cpp102

 第2メタル層とPolySi層との間のコンタクト

Cp 第1メタル層とPolySi層との間のコンタクト

Cd101、Cd102、Cd103、Cd104

 第1メタル層と拡散層との間のコンタクト

FNBL 機能回路

FNBL1、FNBL2、FNBLn

機能回路群

ILP、ILN、IL1P、IL1N、IL2P、IL3P、IL4P、IL100

ユニット間配線領域

IOL、IOL1、IOL2、IOL100

入出力配線領域

M1L 第1メタル層

M2L 第2メタル層

M3L 第3メタル層

NW、NW1、NW2、NW3、NW4、NW100

N型のウェル

PW、PW1、PW2、PW3、PW4、PW7、PW100

P型のウェル

VCC、VCC1、VCC2、VCC3、VCC4、VCC100

電源電圧配線

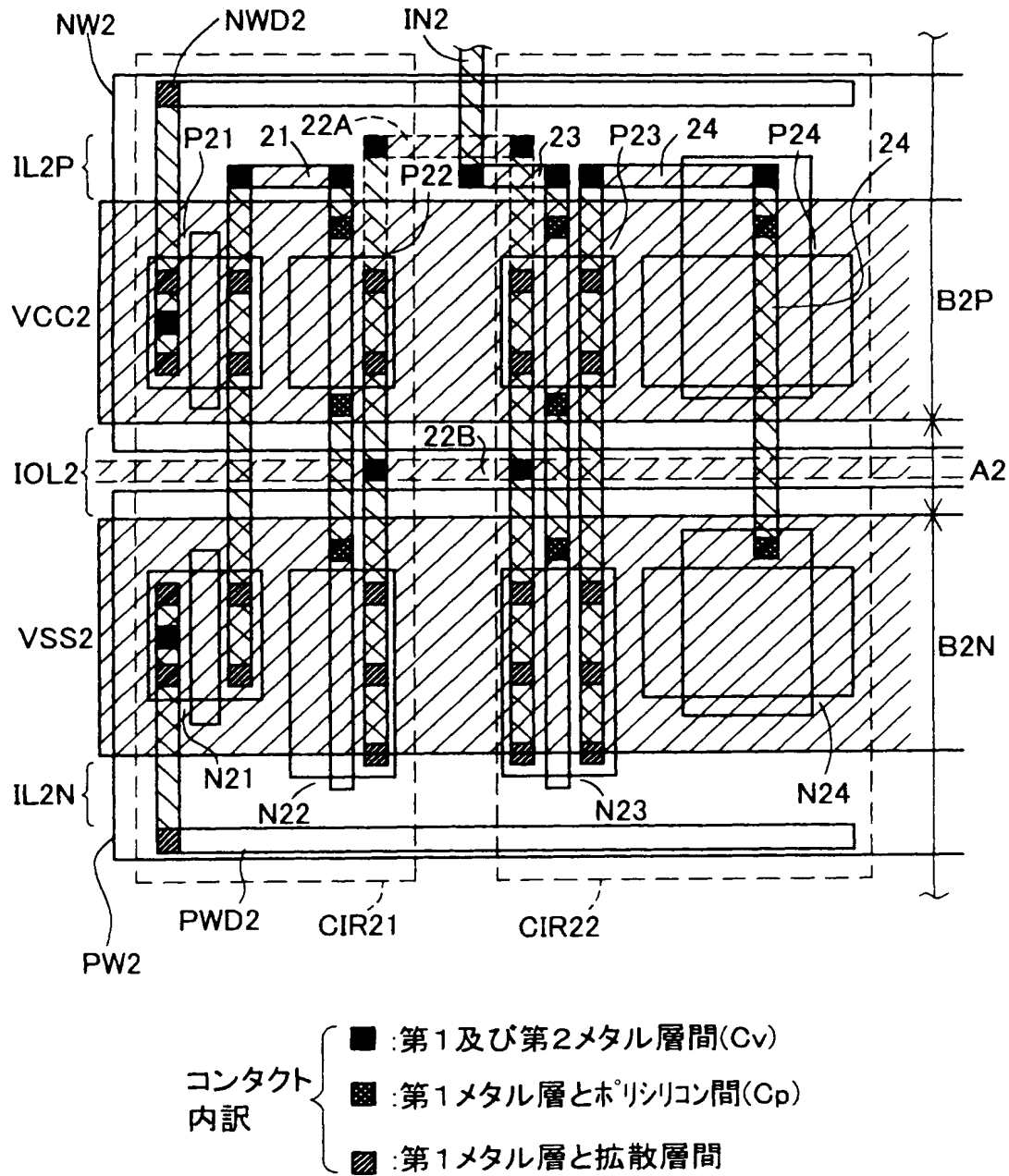
特 2 0 0 1 - 1 8 3 9 1 1

VSS、VSS1、VSS2、VSS3、VSS4、VSS100

基準電圧配線

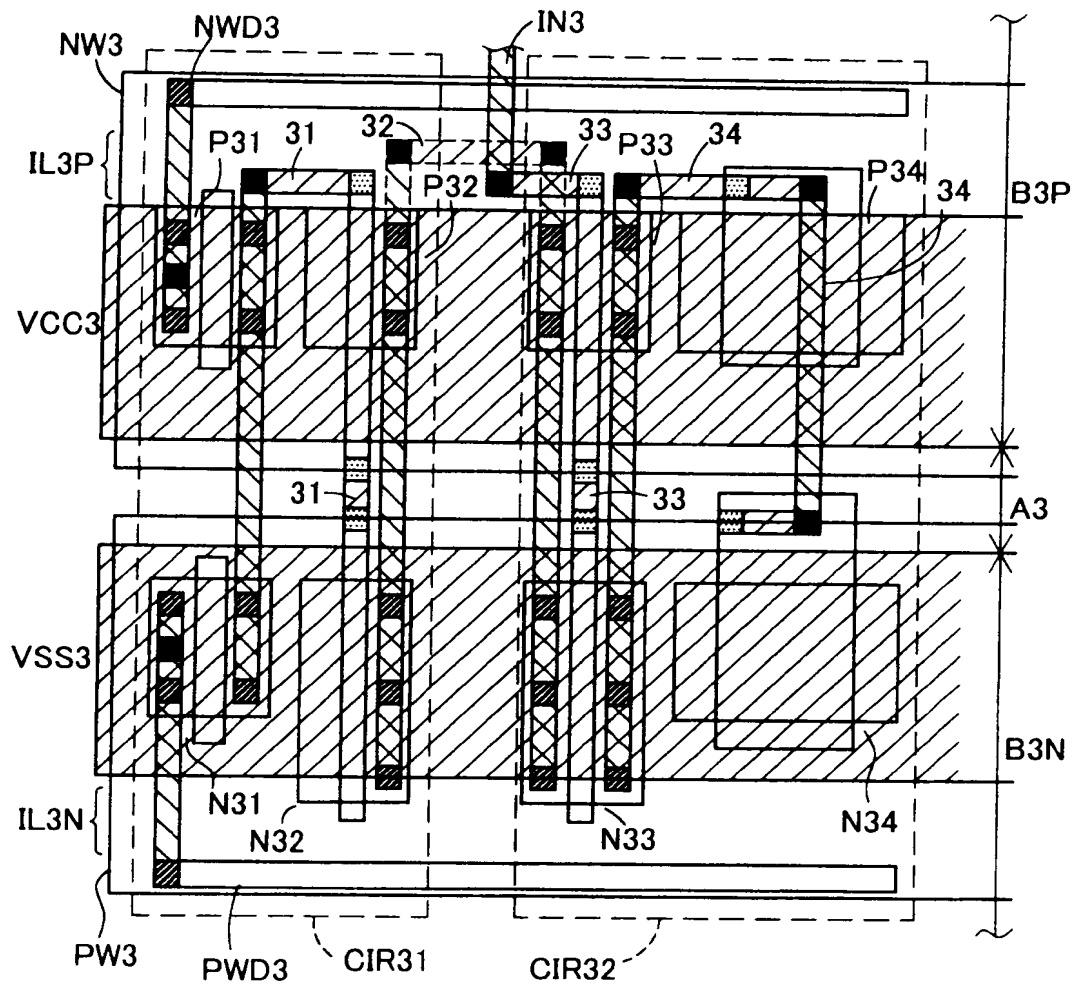
【図 2】

第2実施形態の概略レイアウト図



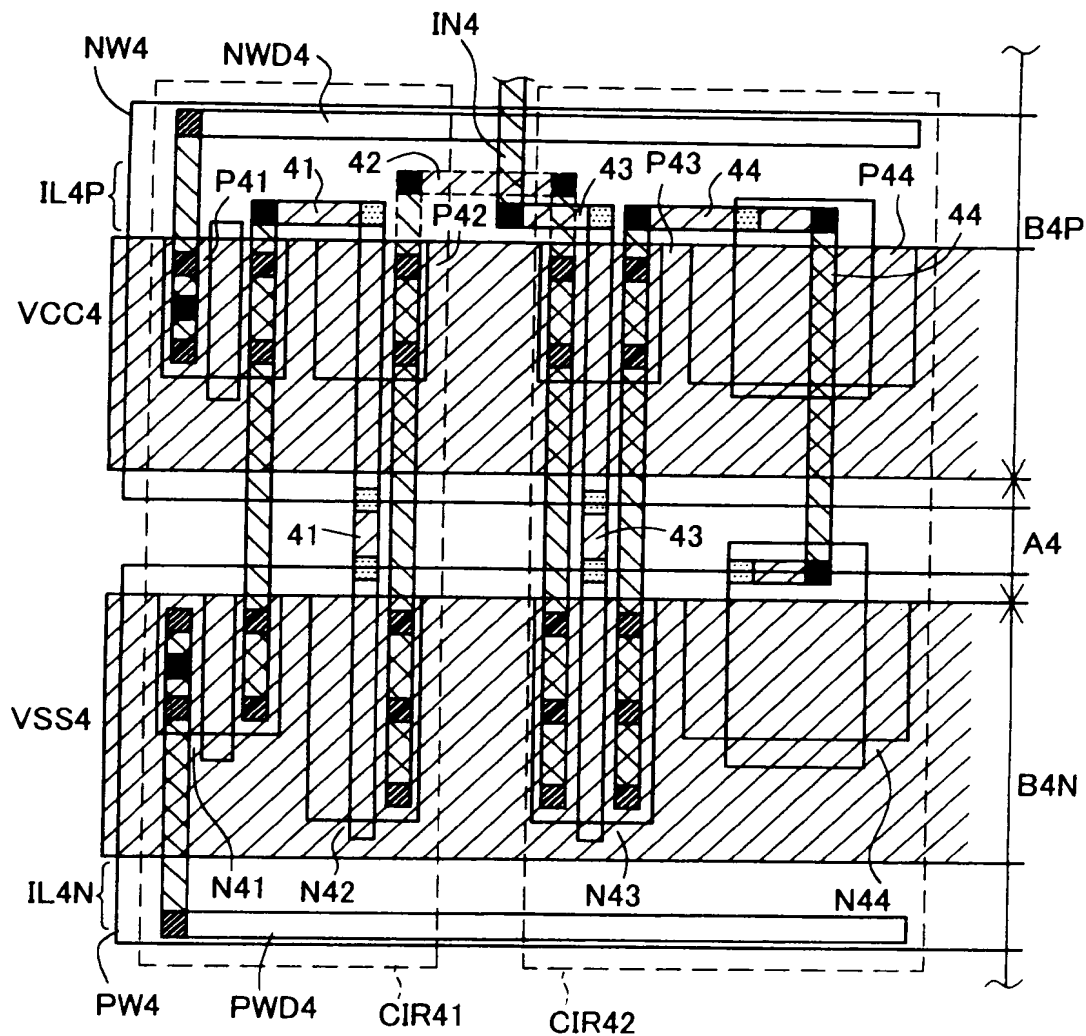
【図 3】

第3実施形態の概略レイアウト図



【図 4】

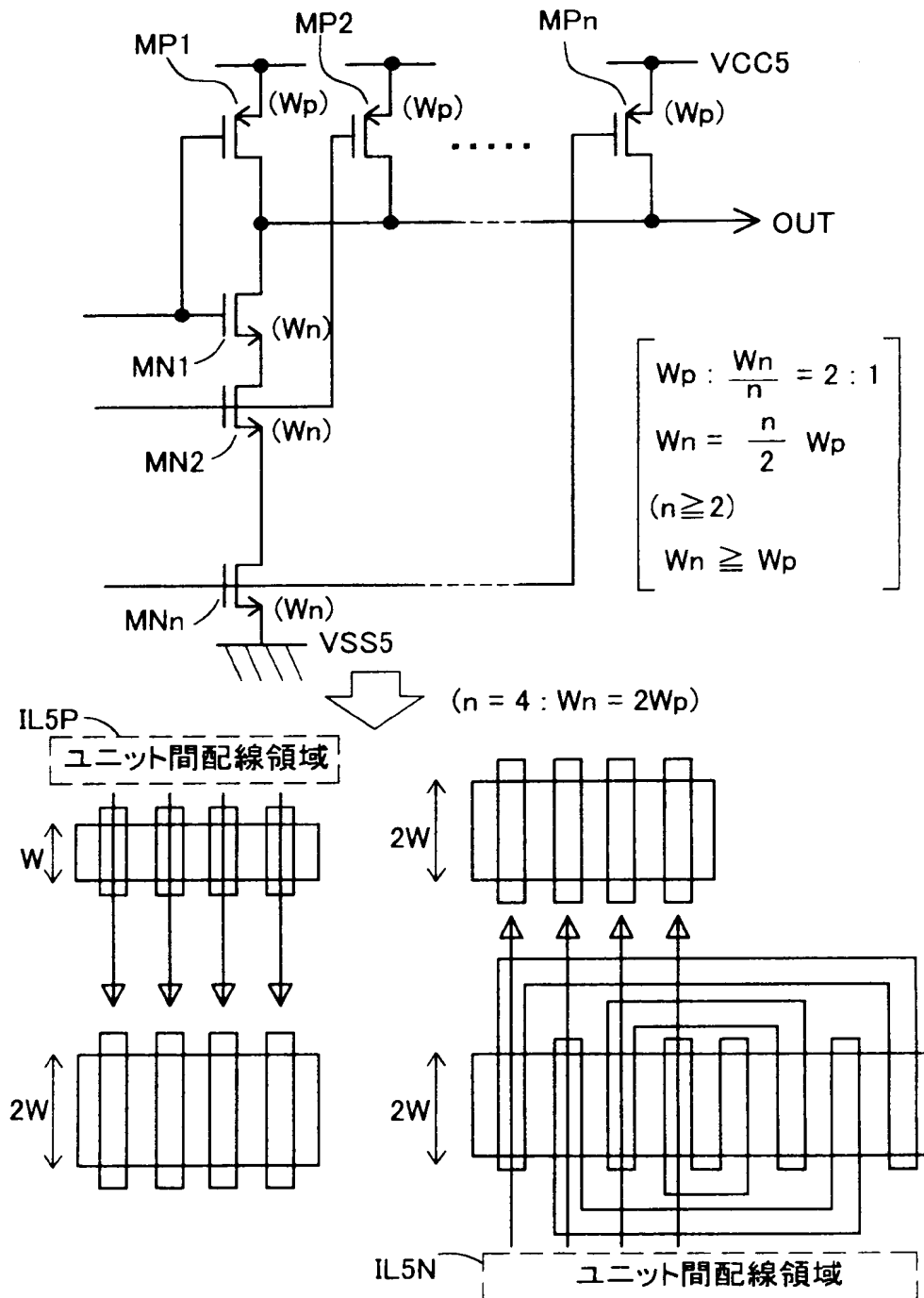
第4実施形態の概略レイアウト図



- コンタクト内訳
- : 第1及び第2メタル層間(Cv)
 - ▨ : 第2メタル層とポリシリコン間(Cpp)
 - ▩ : 第1メタル層と拡散層間

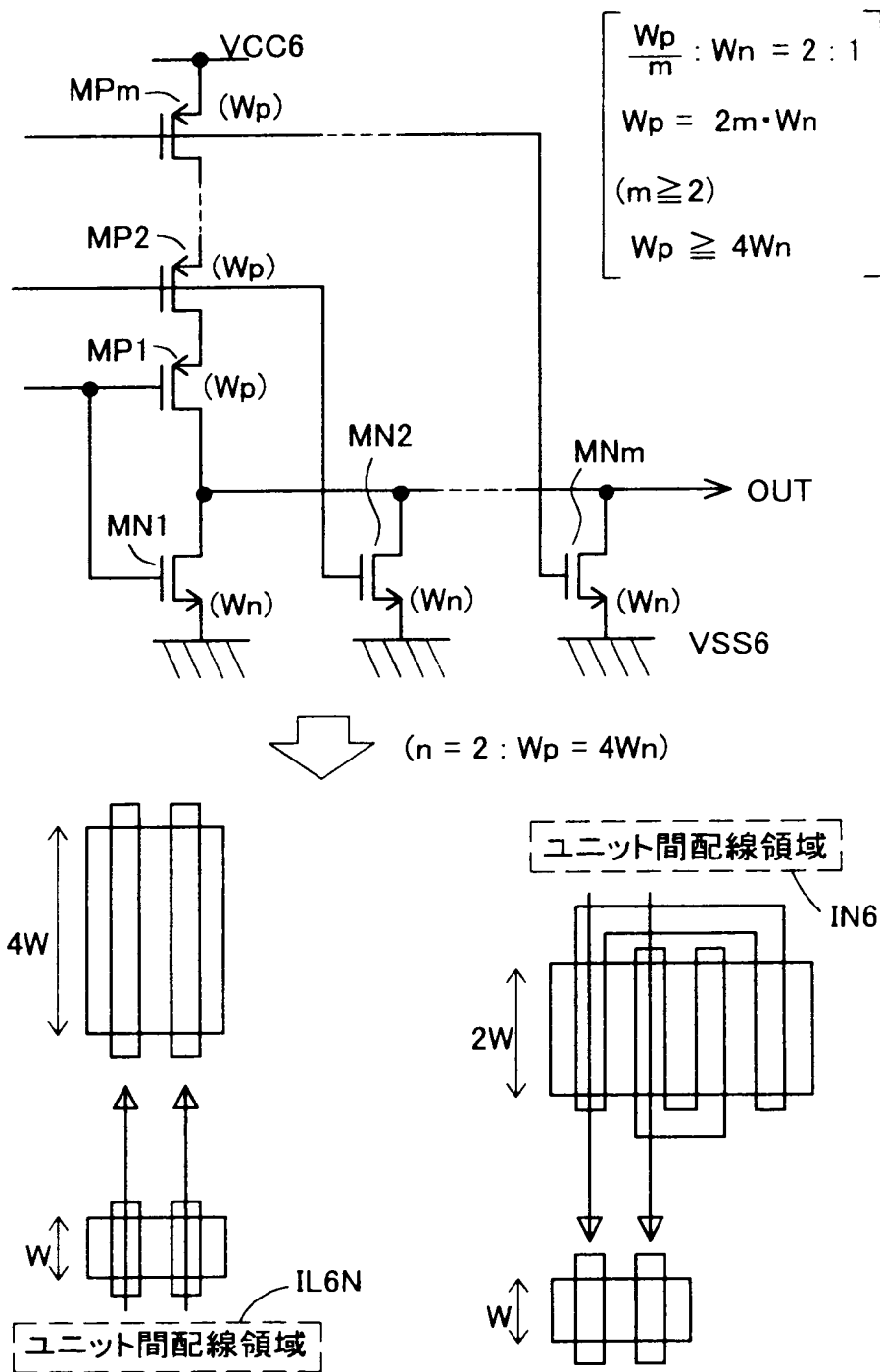
【図 5】

ユニット間配線領域とナントゲートのレイアウト配置との関係
(第5実施形態)



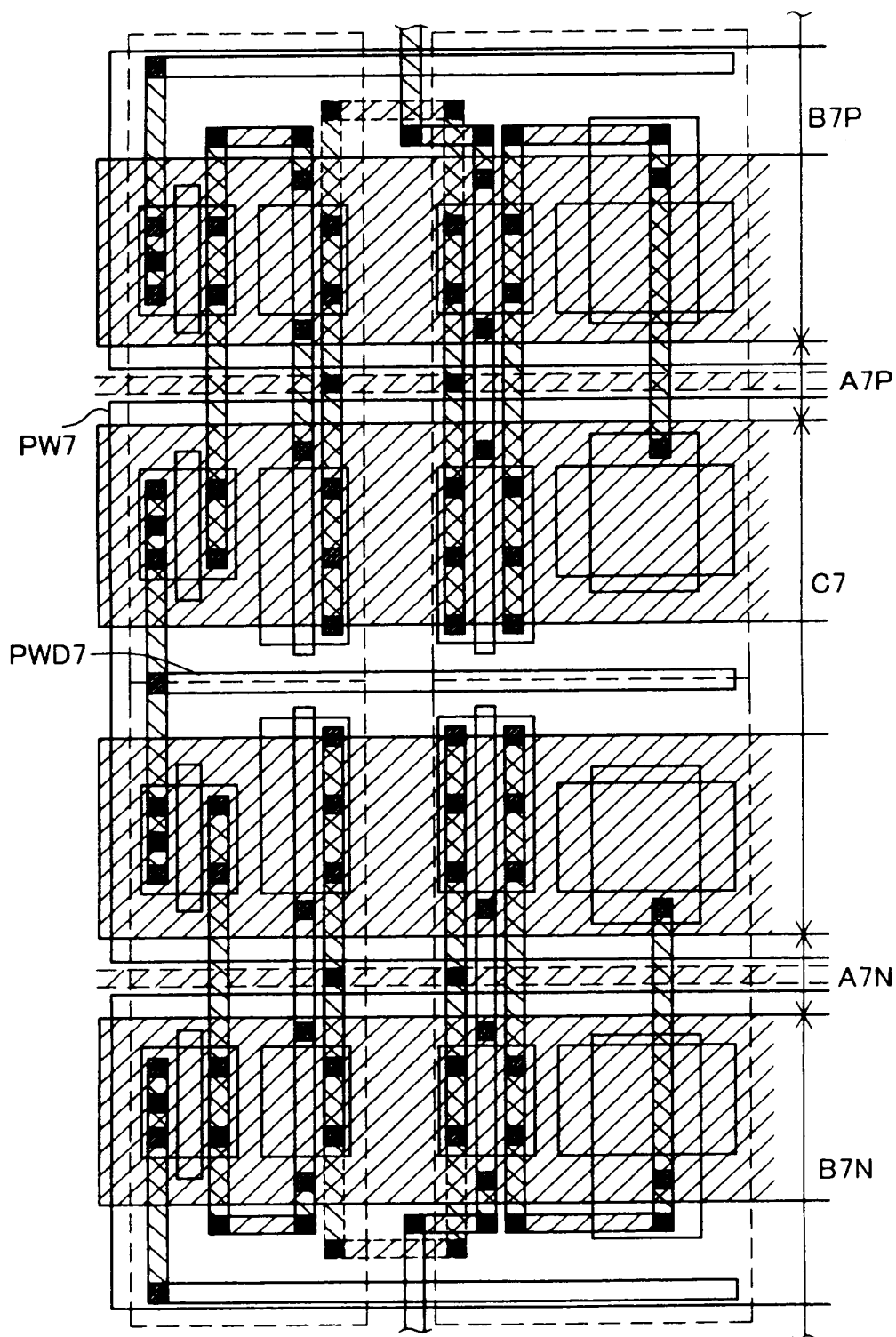
【図 6】

ユニット間配線領域とノアゲートとレイアウト配置との関係
(第6実施形態)



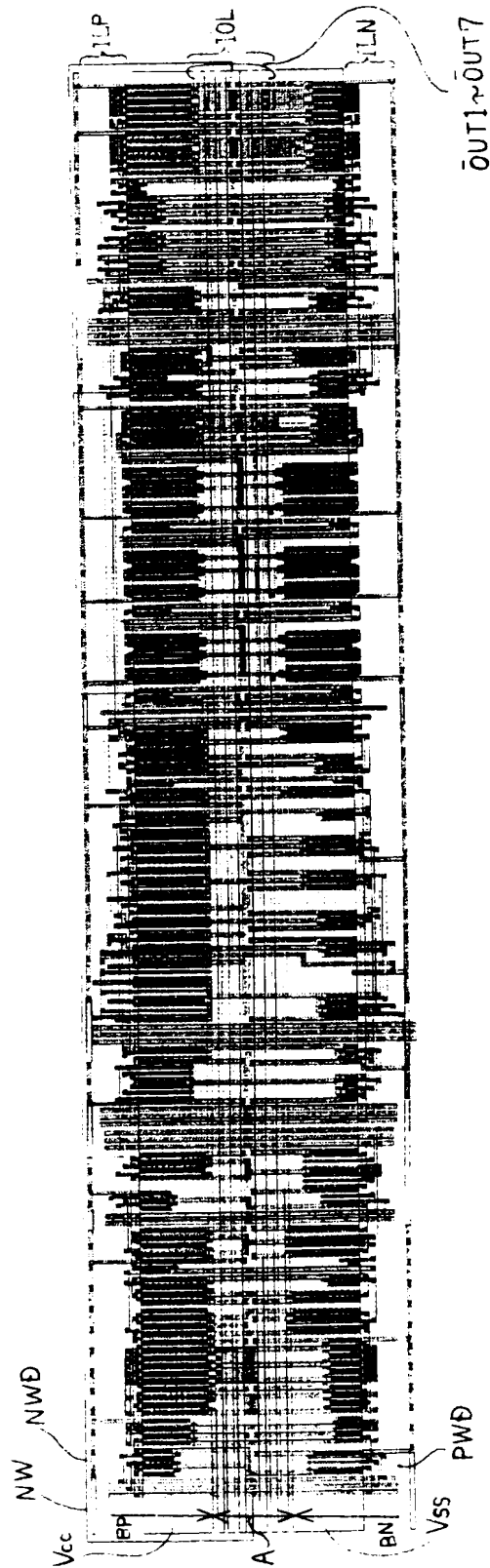
【図 7】

第7実施形態の概略レイアウト図



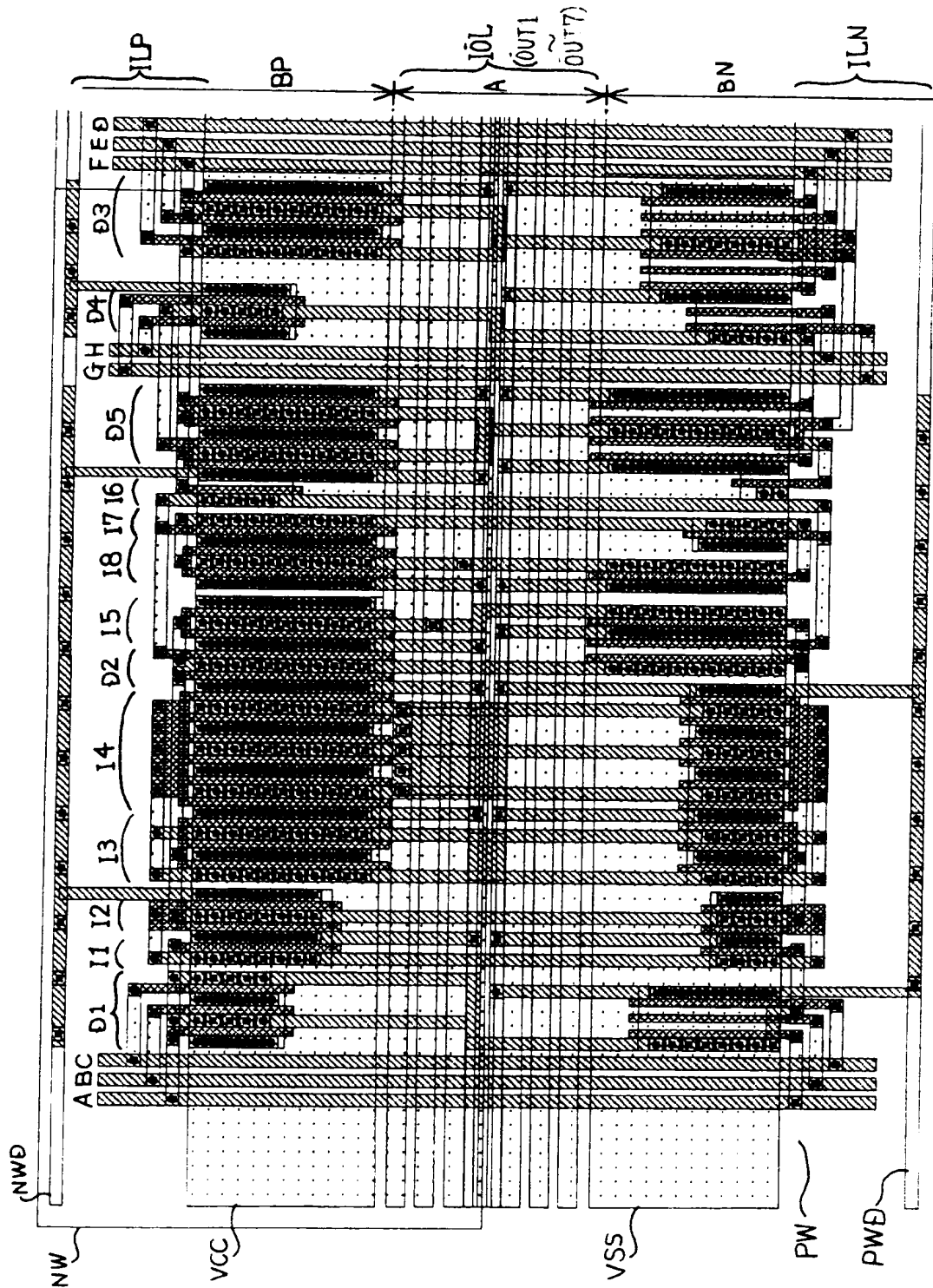
【図8】

図23の機能回路を第1及び第3実施形態でレイアウトした場合の具体例



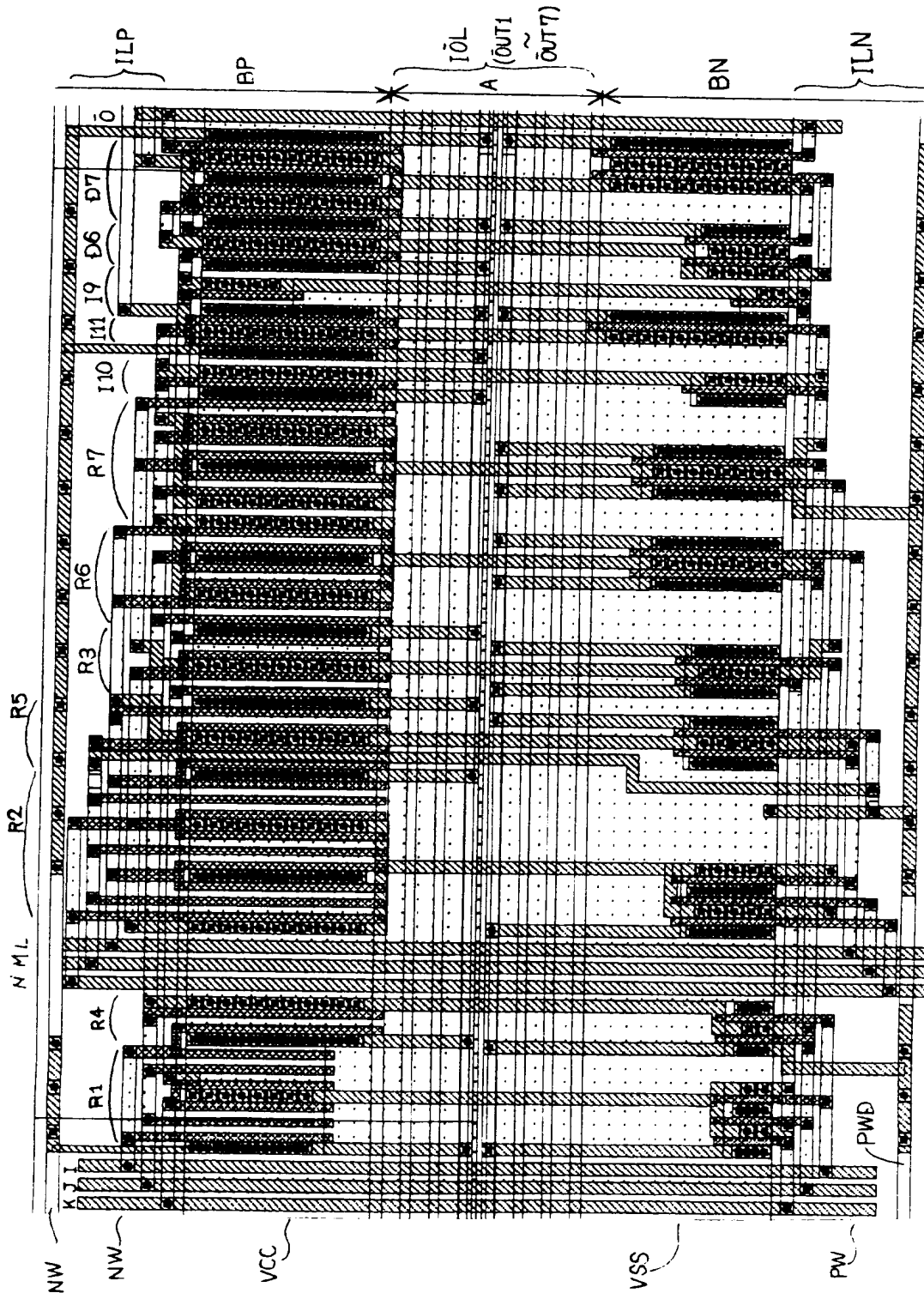
【図9】

第1及び第3実施形態の具体例のうち理論回路CIR1の部分



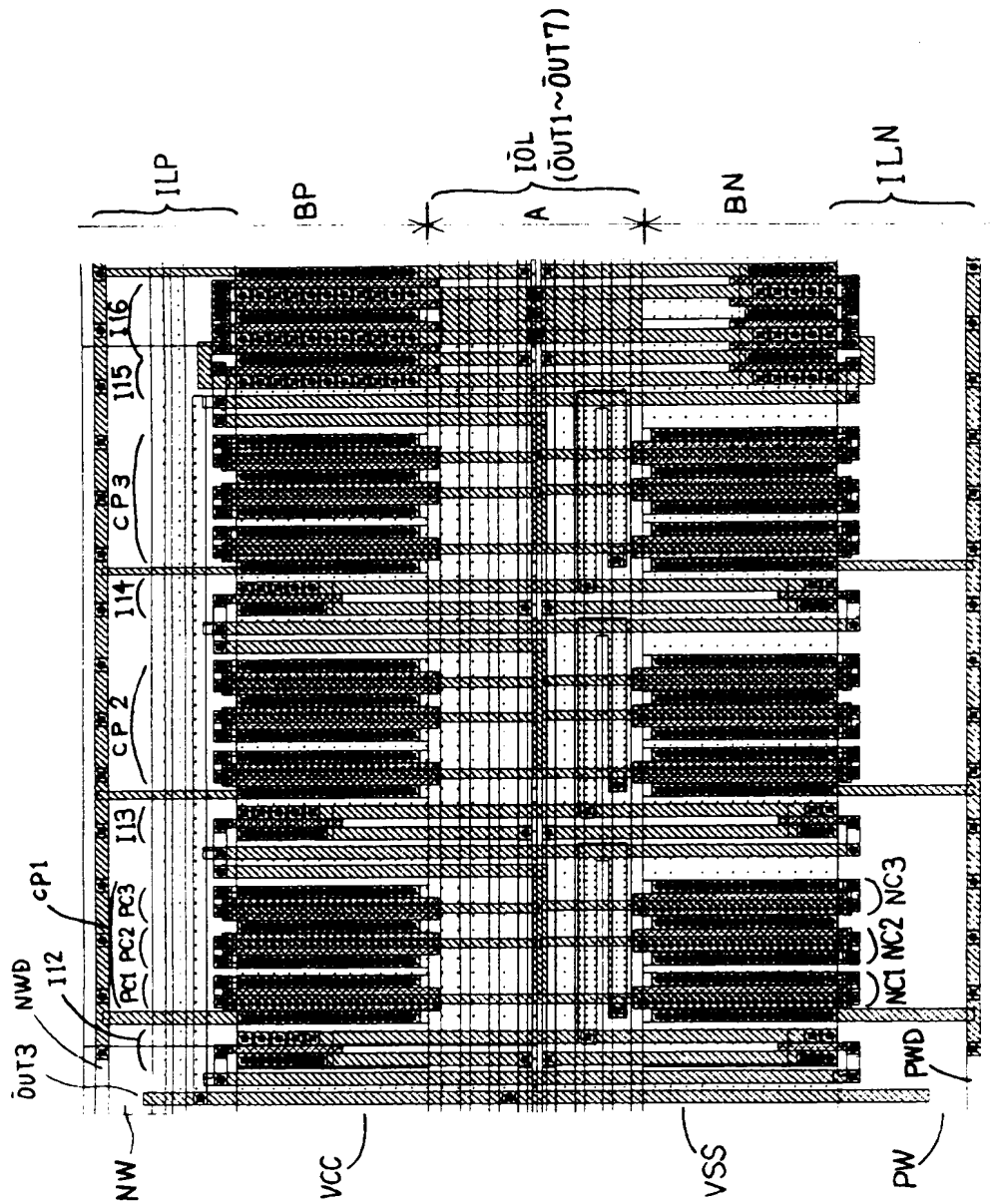
【図10】

第1及び第3実施形態の具体例のうち理論回路CIR2の部分



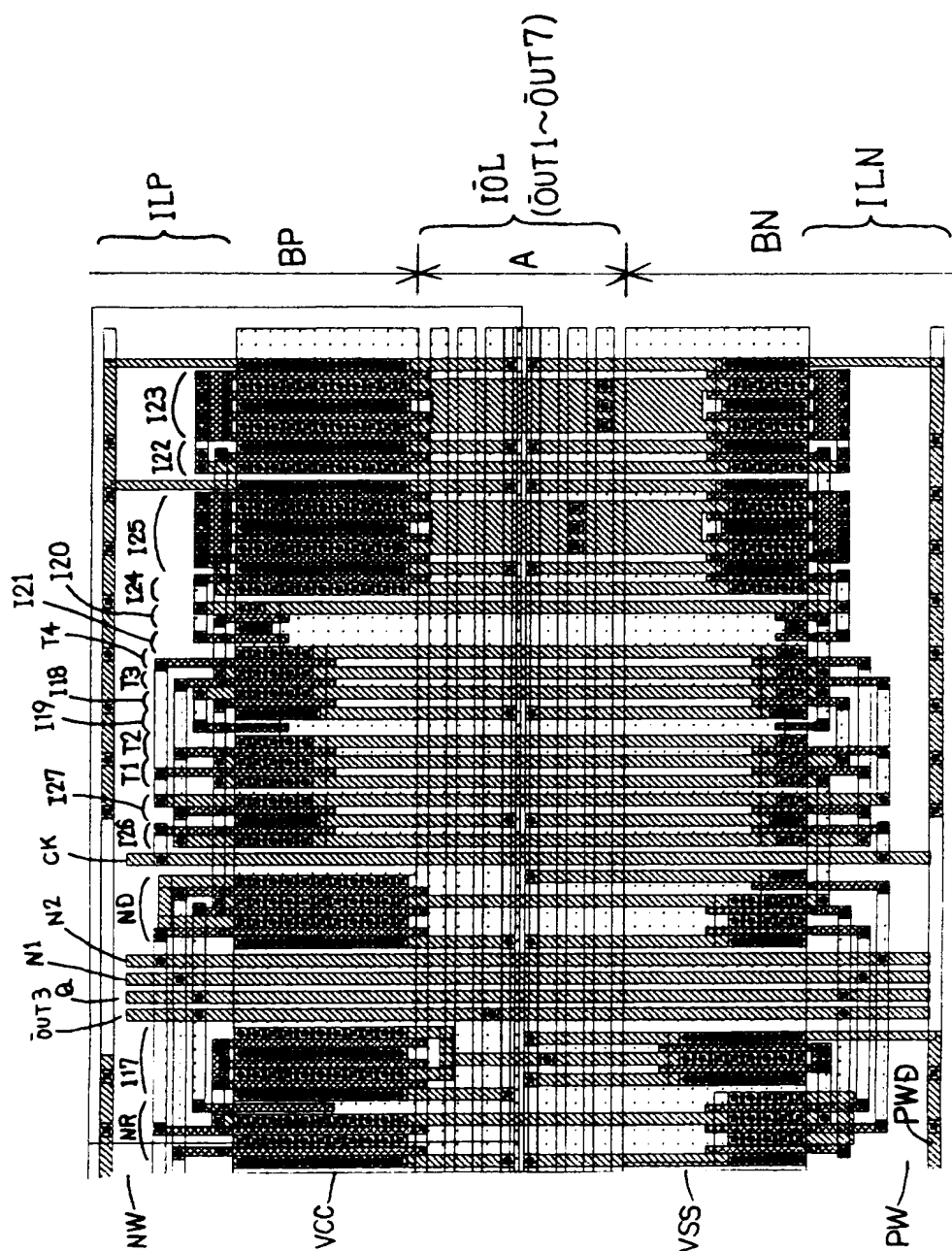
【図 11】

第1及び第3実施形態の具体例のうち理論回路CIR3の部分



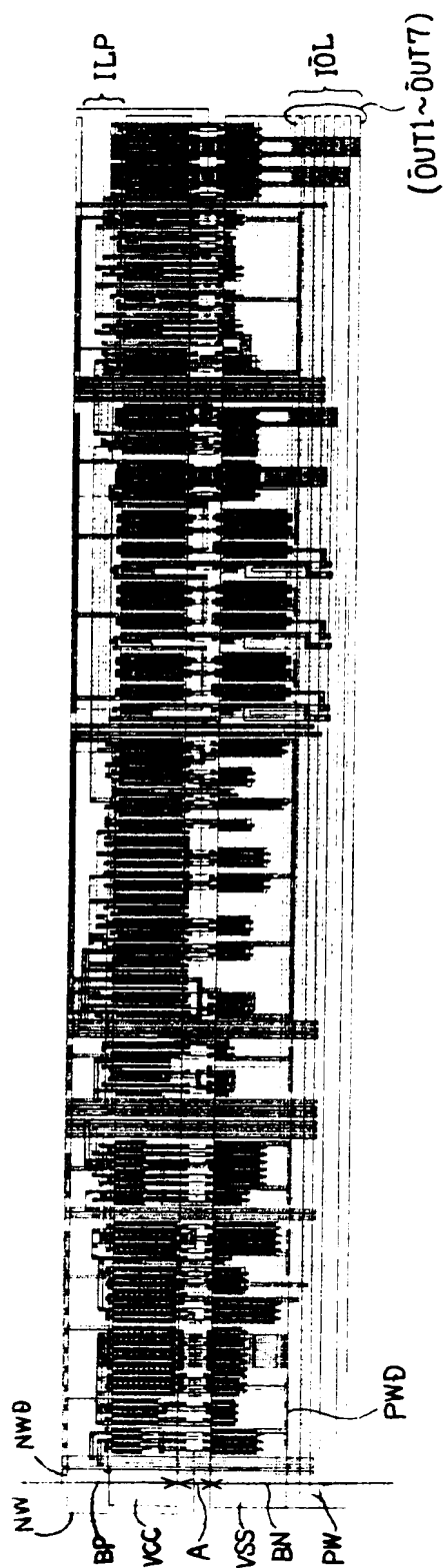
【図12】

第1及び第3実施形態の具体例のうち理論回路CIR4の部分



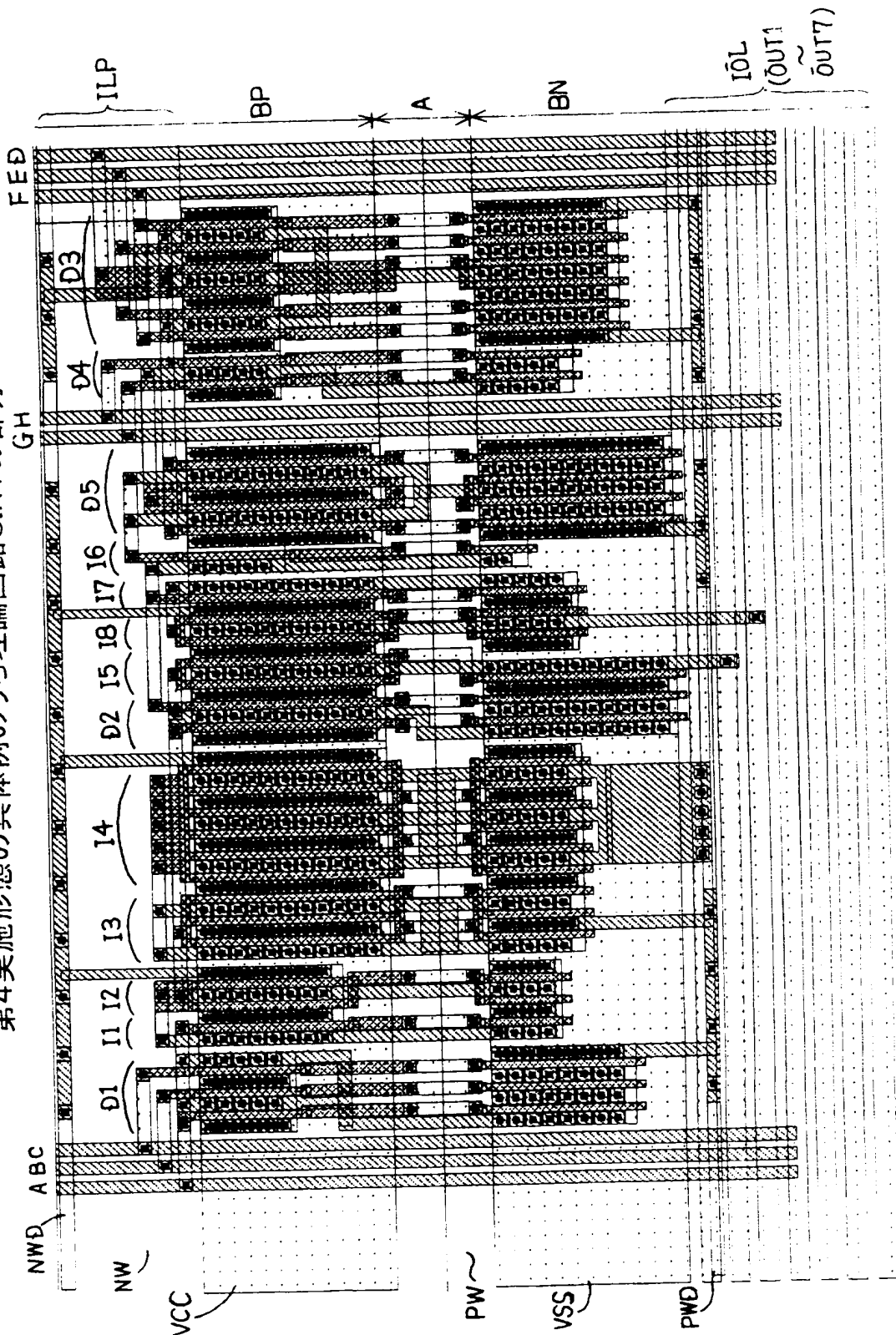
【図13】

図23の機能回路を第4実施形態でレイアウトした場合の具体例



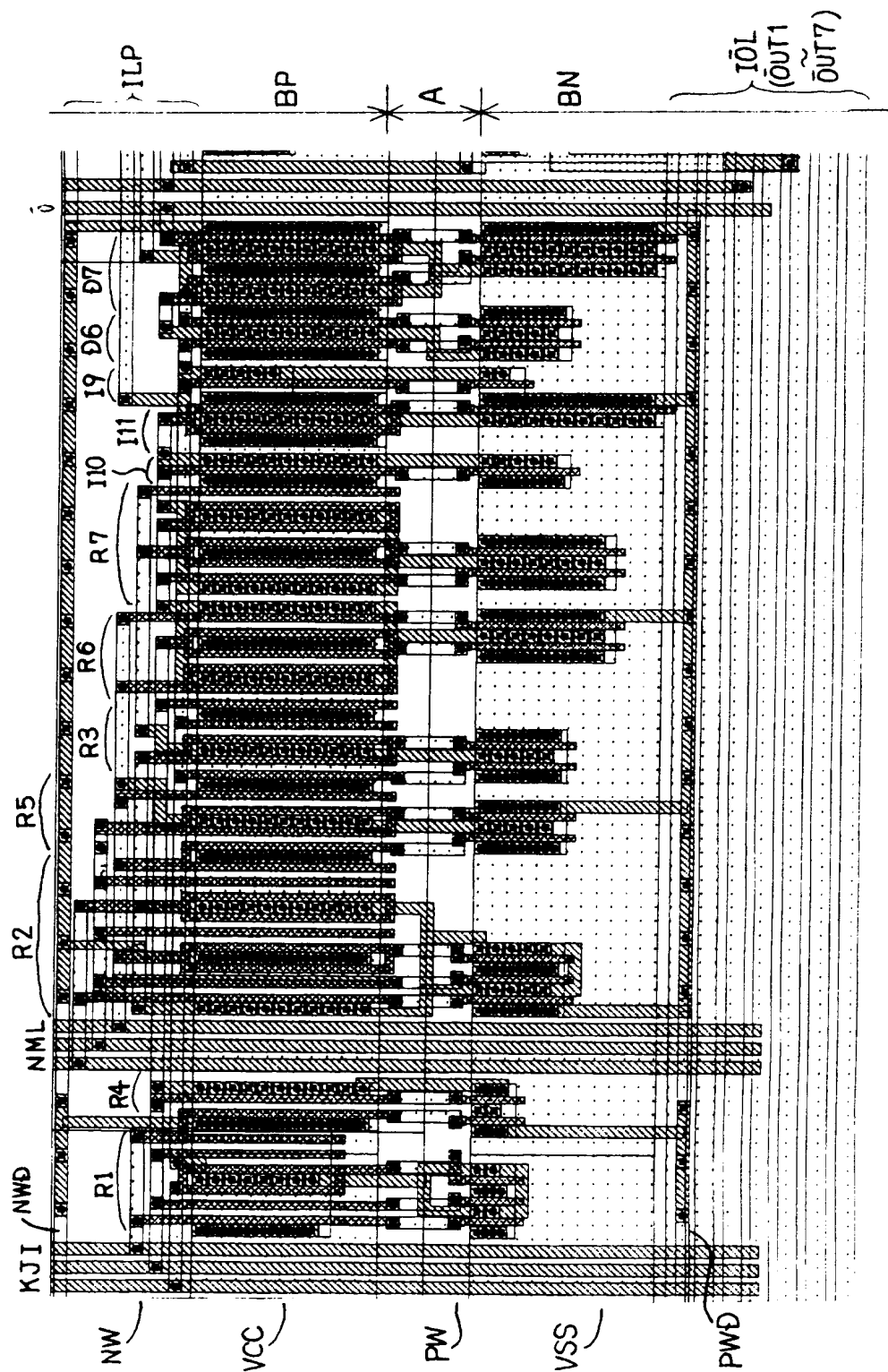
【図14】

第4実施形態の具体例のうち理論回路CIR1の部分



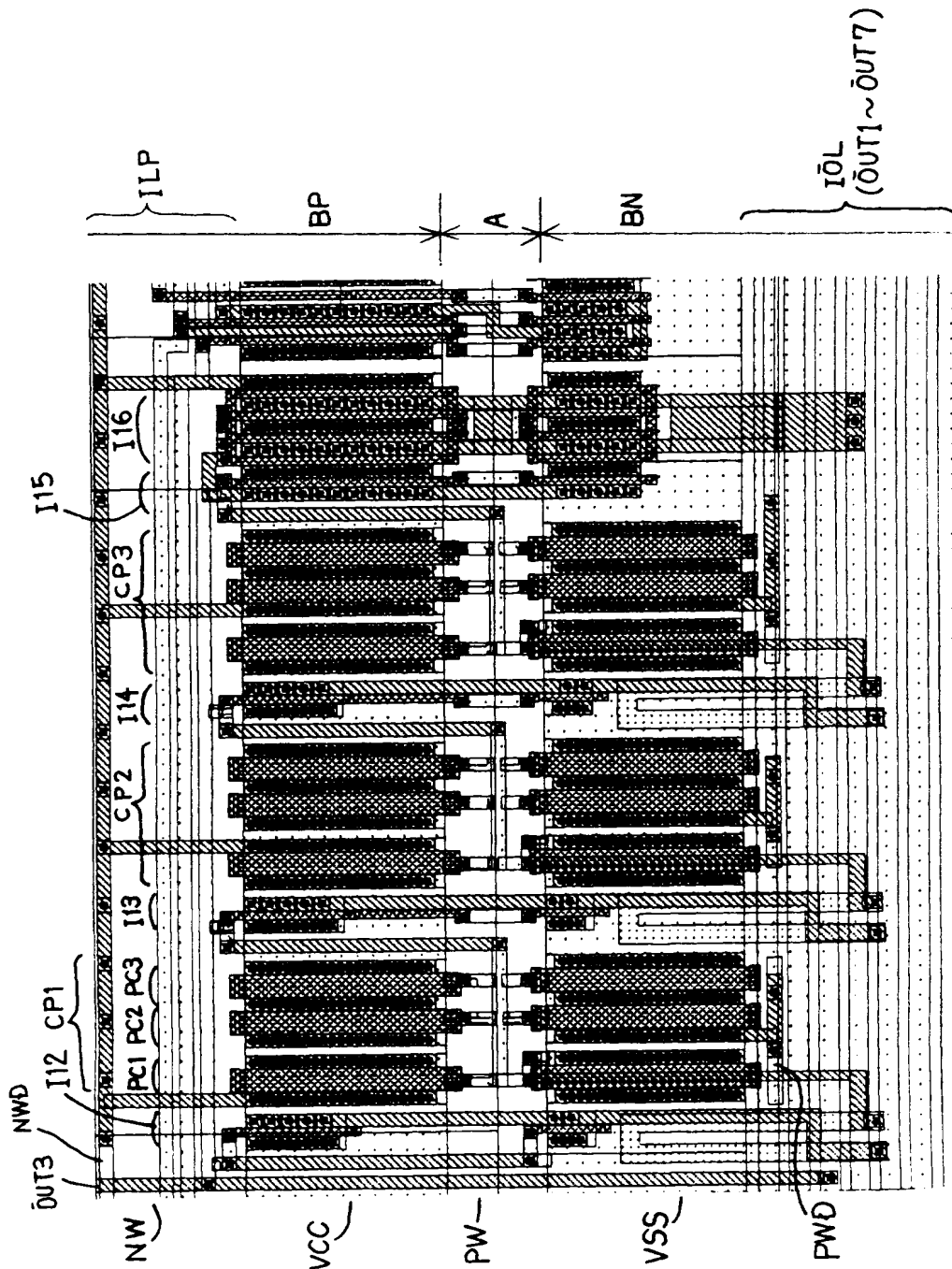
【図15】

第4実施形態の具体例のうち理論回路CIR2の部分



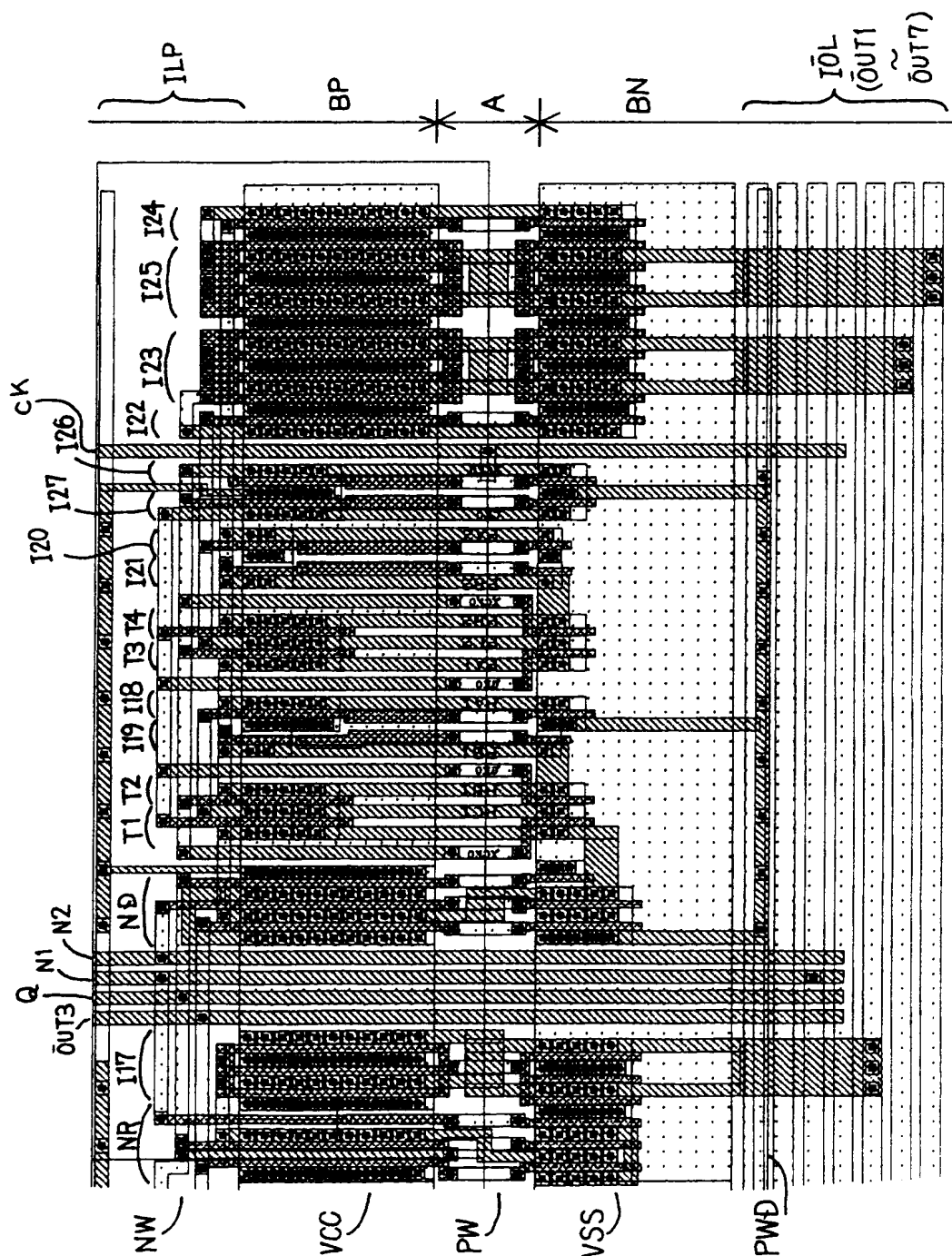
【図16】

第4実施形態の具体例のうち理論回路CIR3の部分



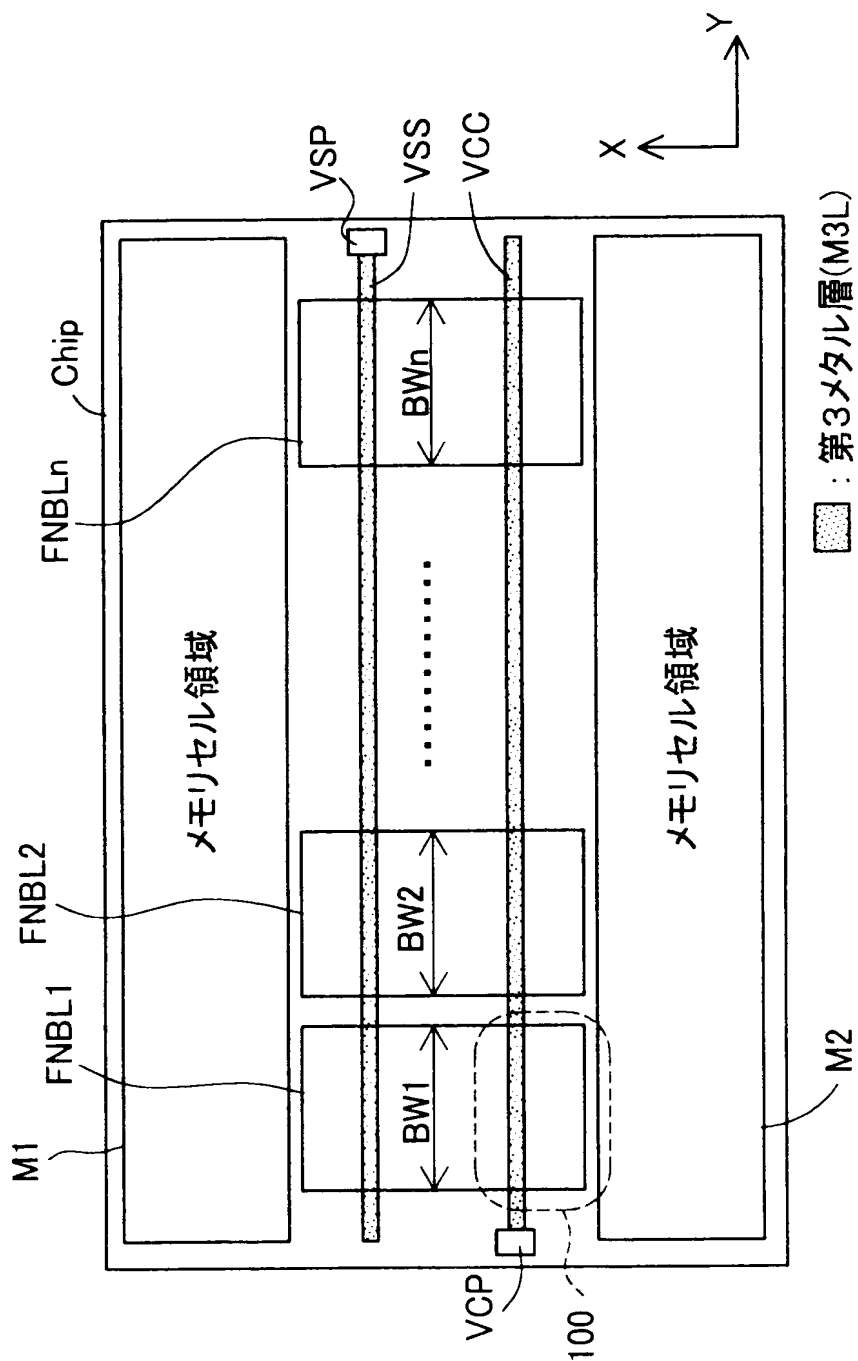
【图 17】

第4実施形態の具体例のうち理論回路CIR4の部分



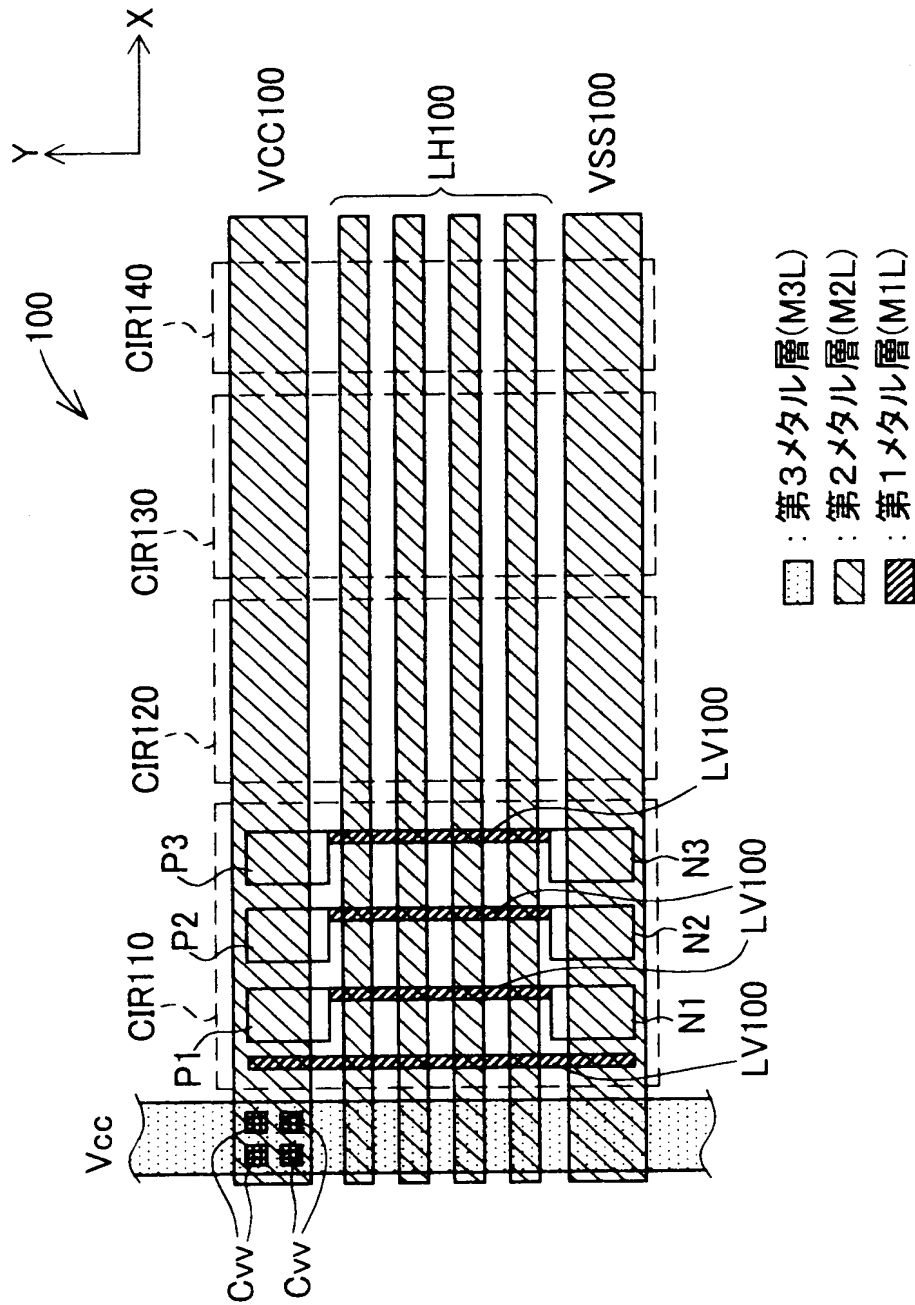
【図 18】

半導体集積回路装置において機能回路群の配置関係を示す概略レイアウト図



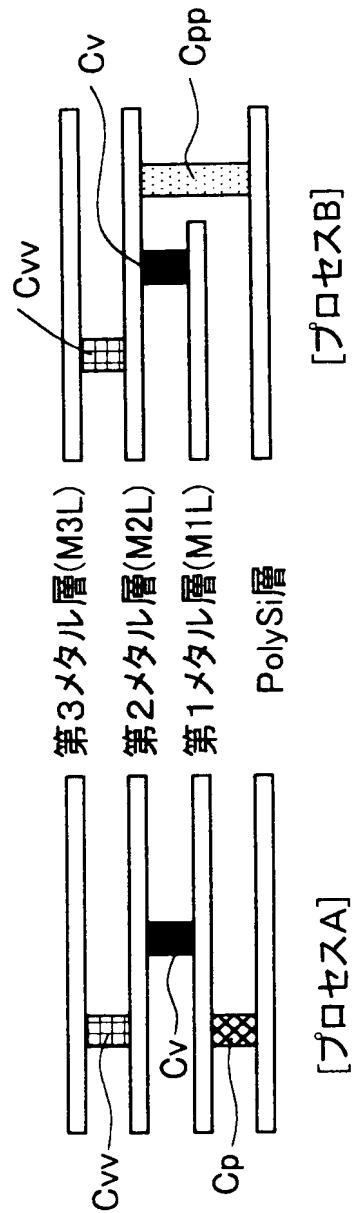
【図19】

従来技術における機能回路群の一部を拡大した概略レイアウト図



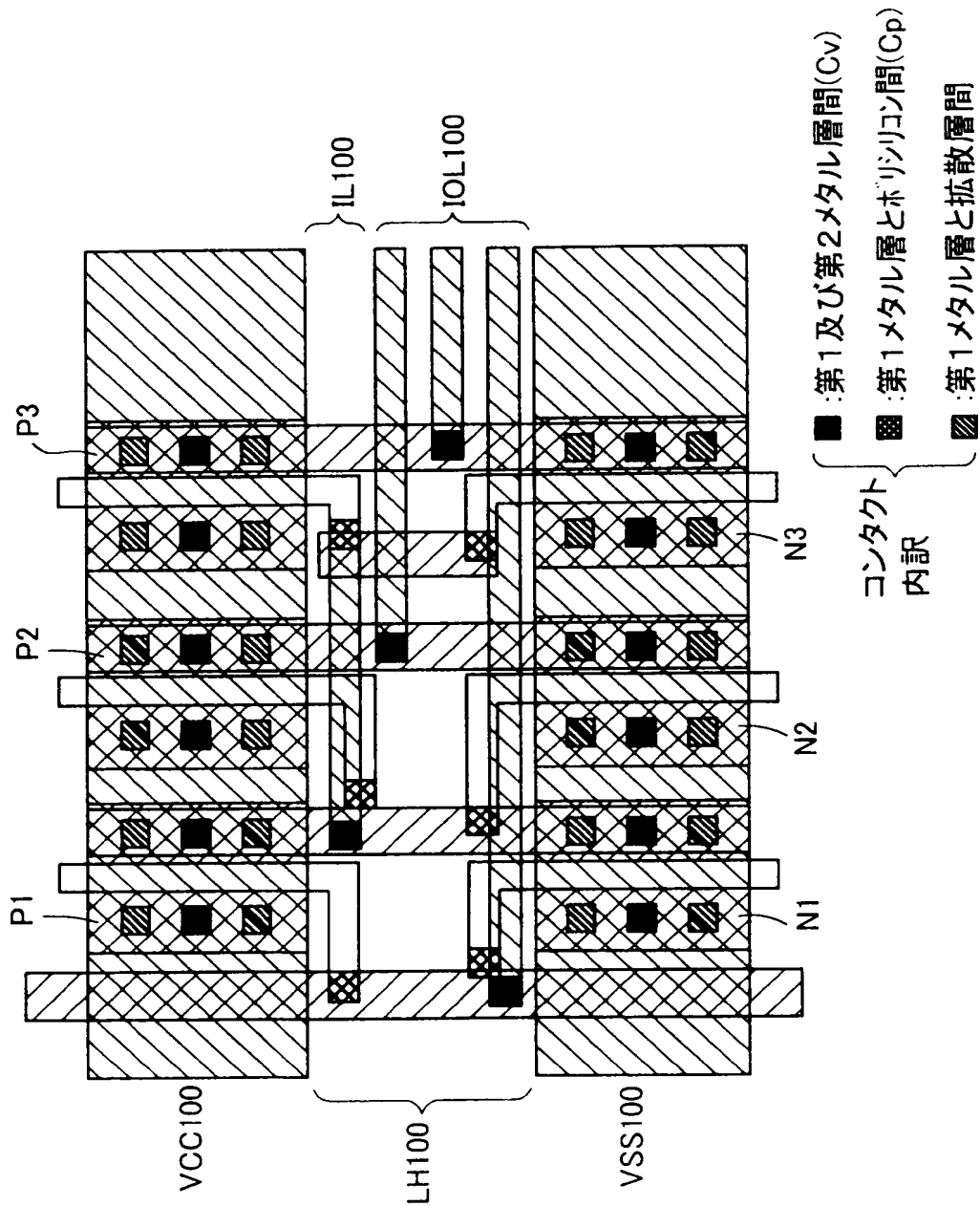
【図 2 0】

半導体集積回路装置における製造プロセス別の多層配線構造



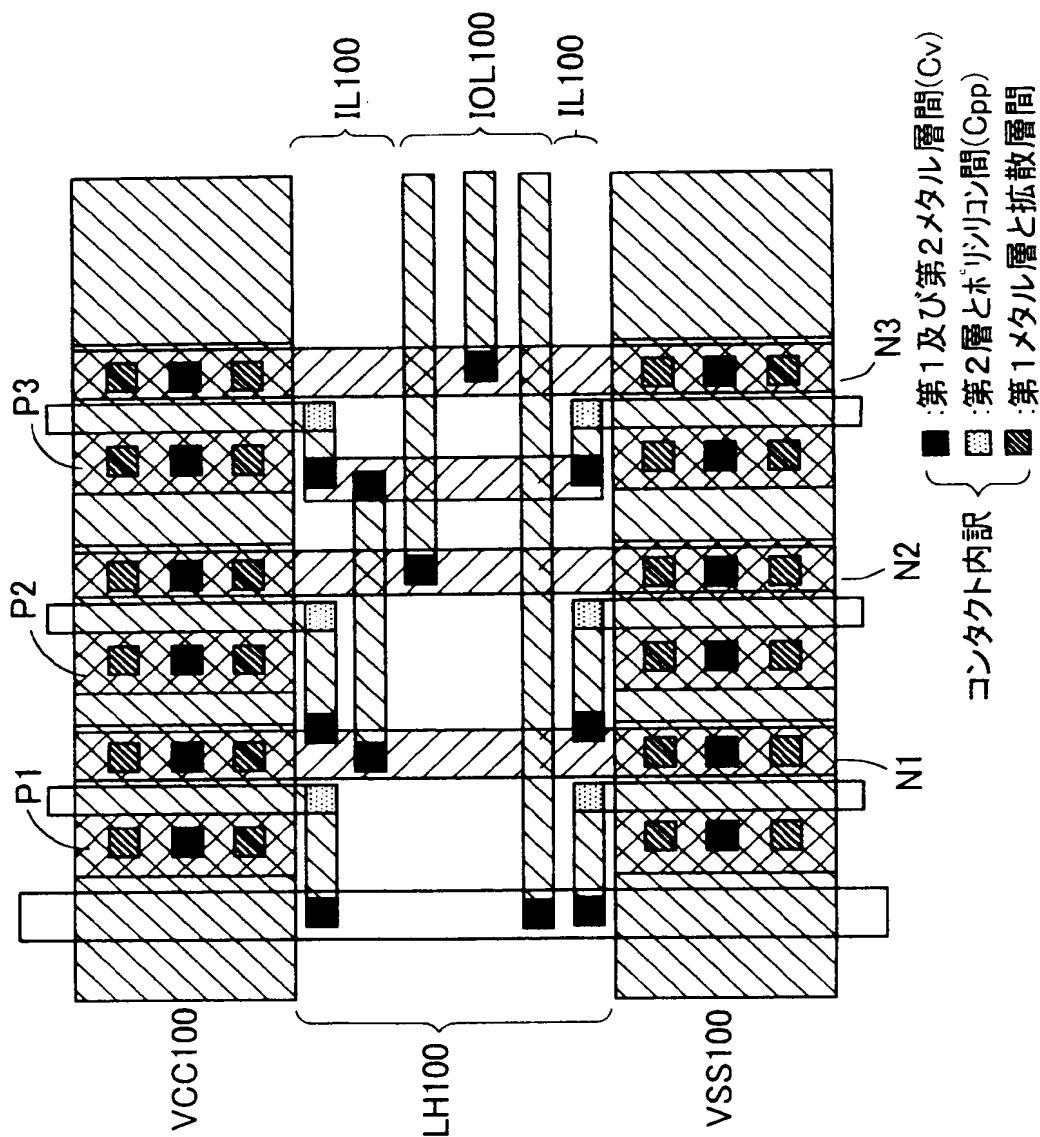
【図 21】

図20におけるプロセスAを使用した場合の概略レイアウト図



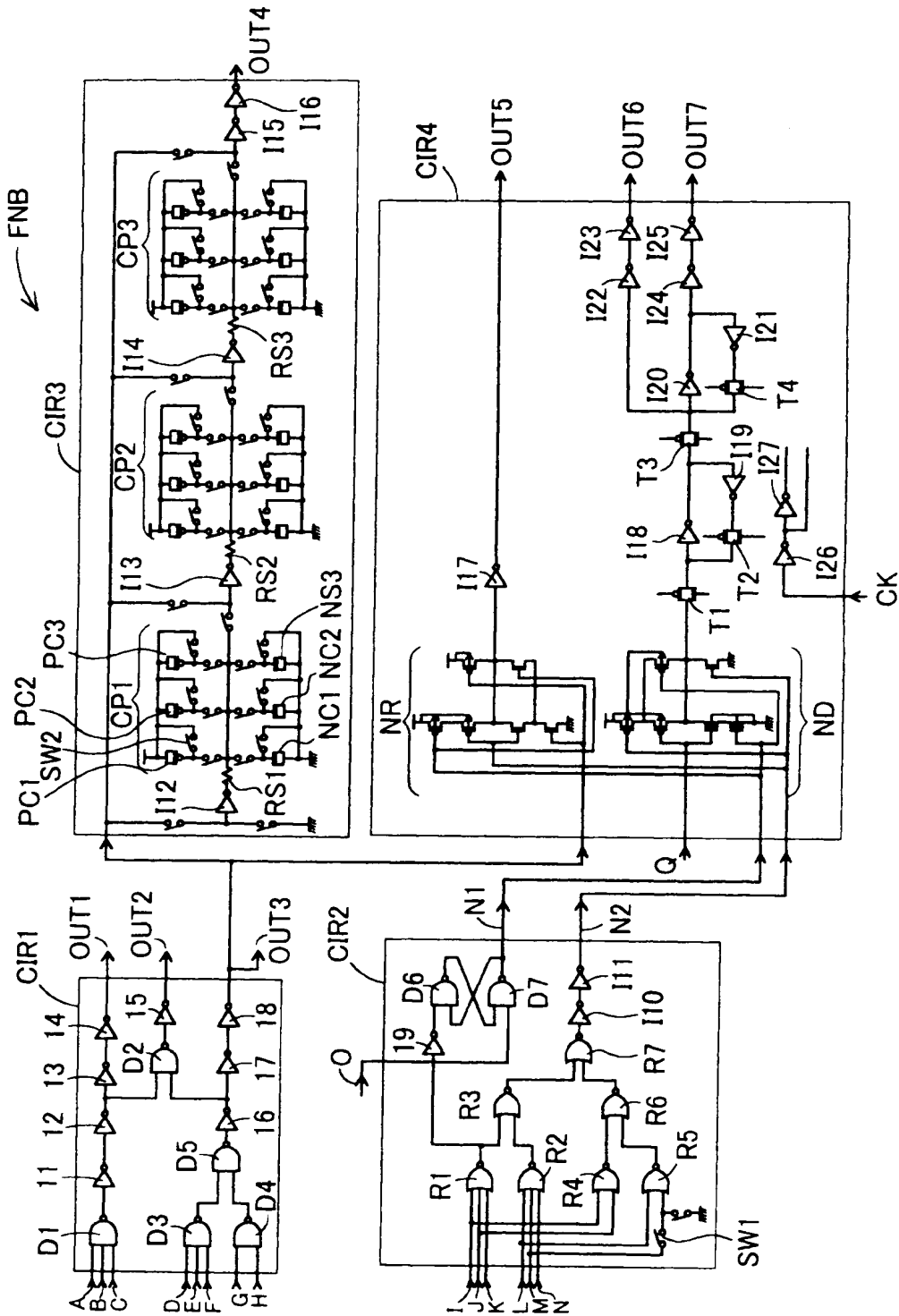
【図22】

図20におけるプロセスBを使用した場合の概略レイアウト図



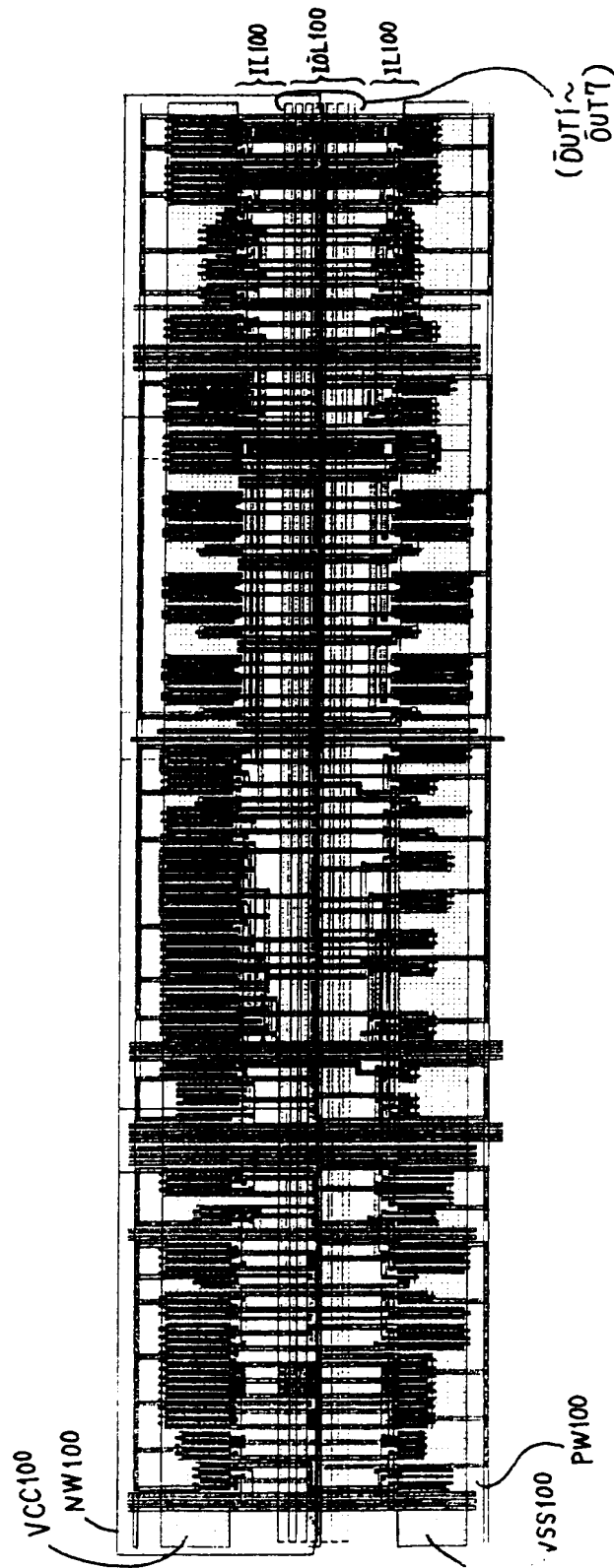
【図 23】

機能回路の具体例



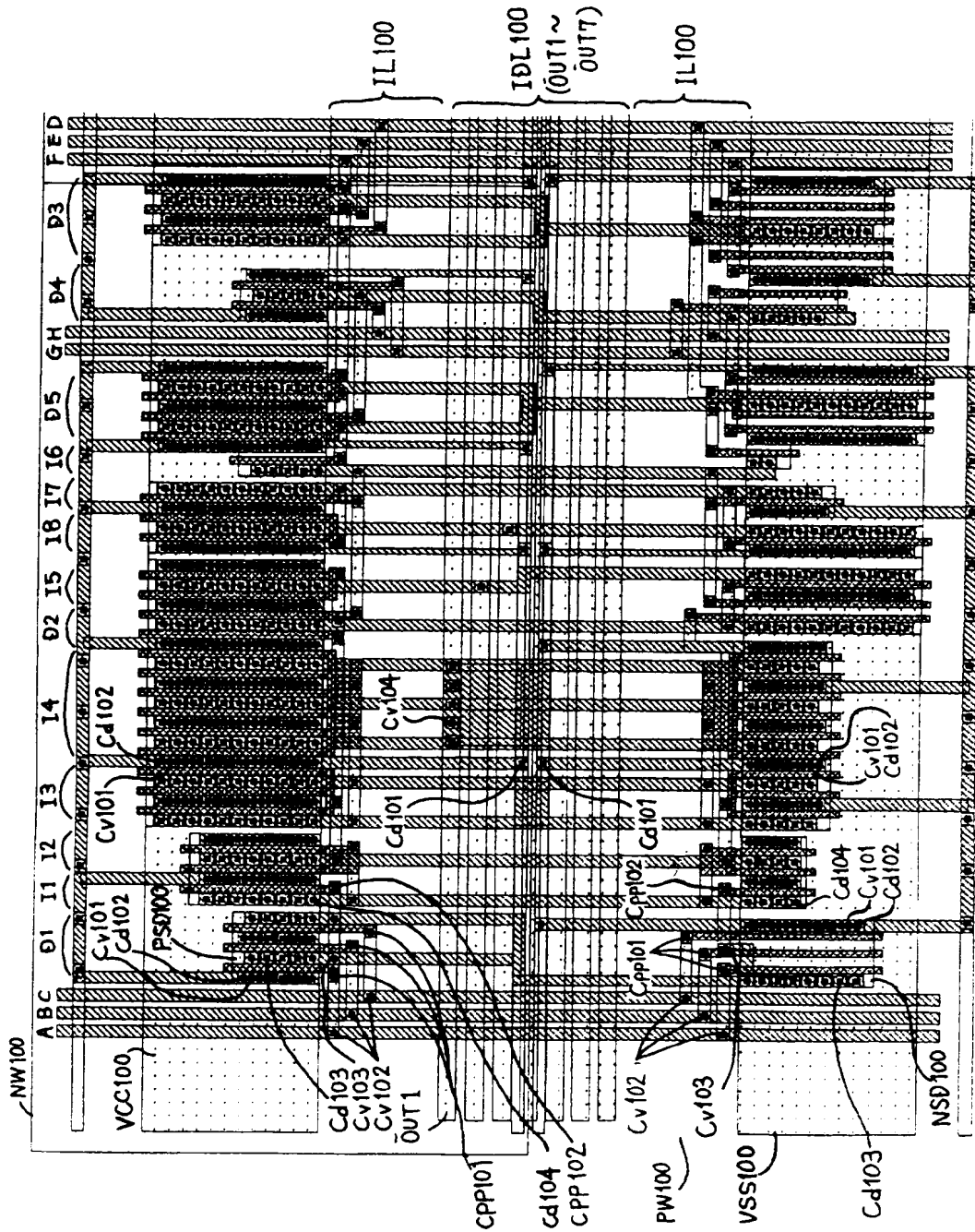
【図 24】

図23の機能回路を従来技術でシアウトした場合の具体例



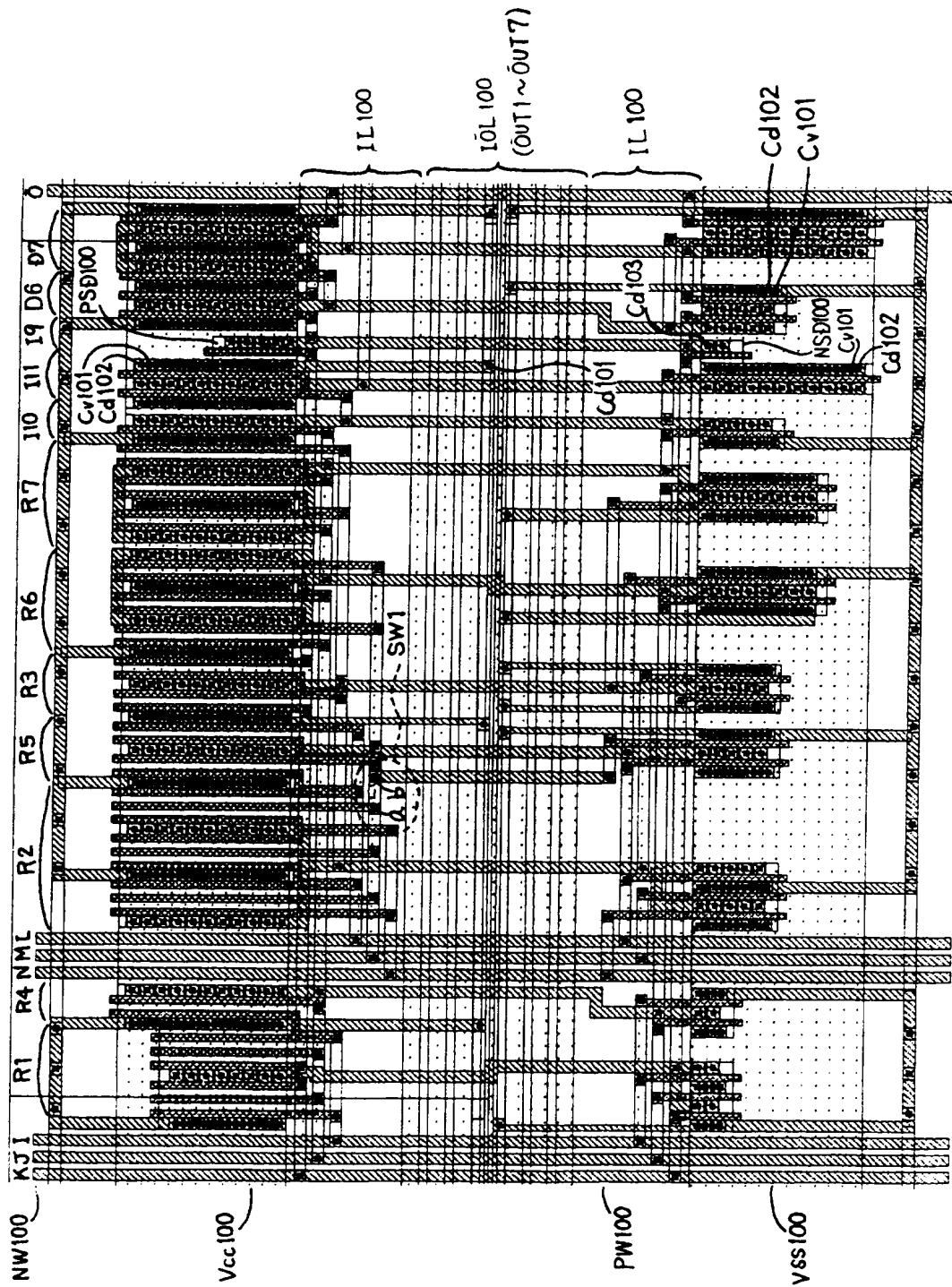
【図25】

従来技術におけるレイアウトのうち理論回路CIR1の部分



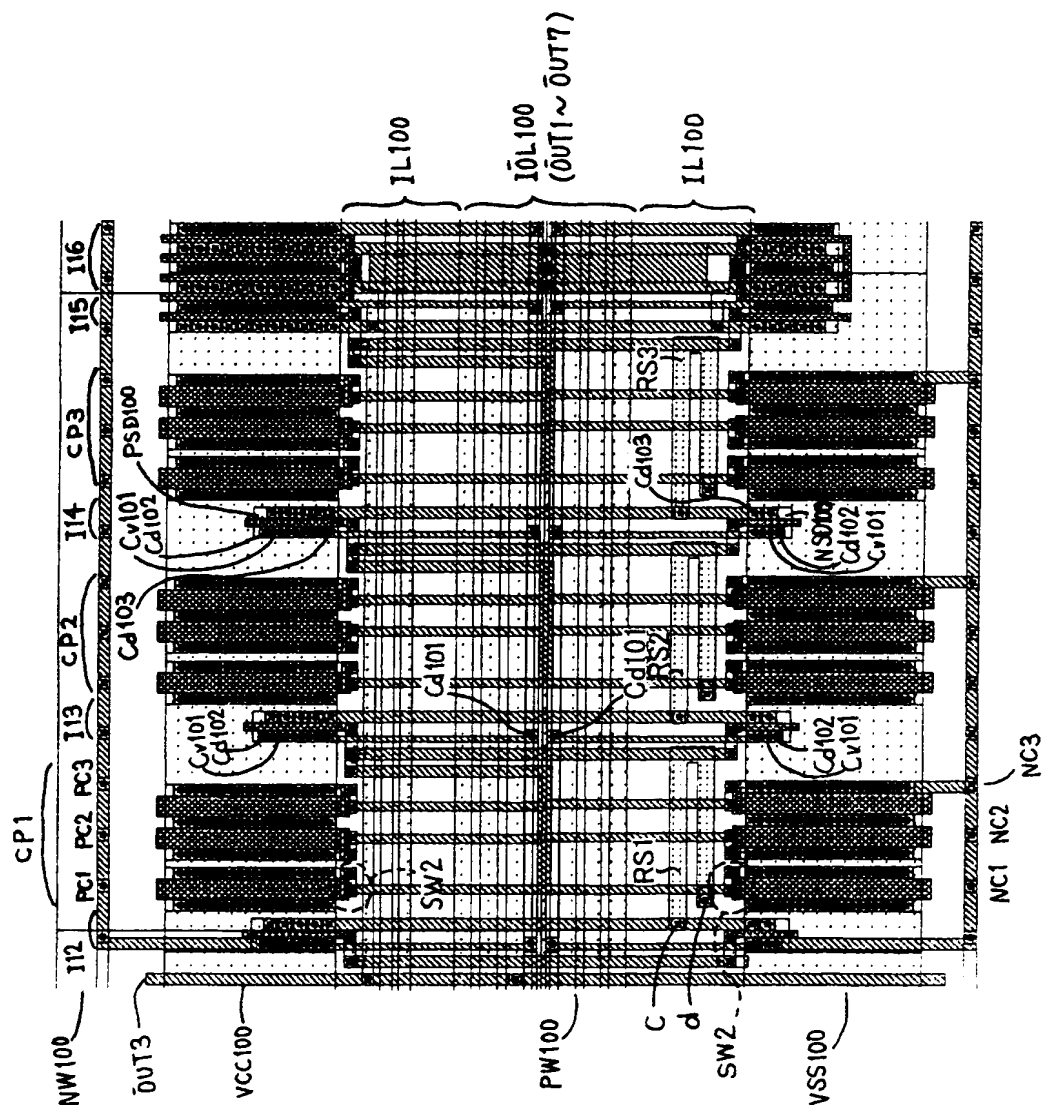
【図 26】

従来技術におけるレイアウトのうち理論回路CIR2の部分



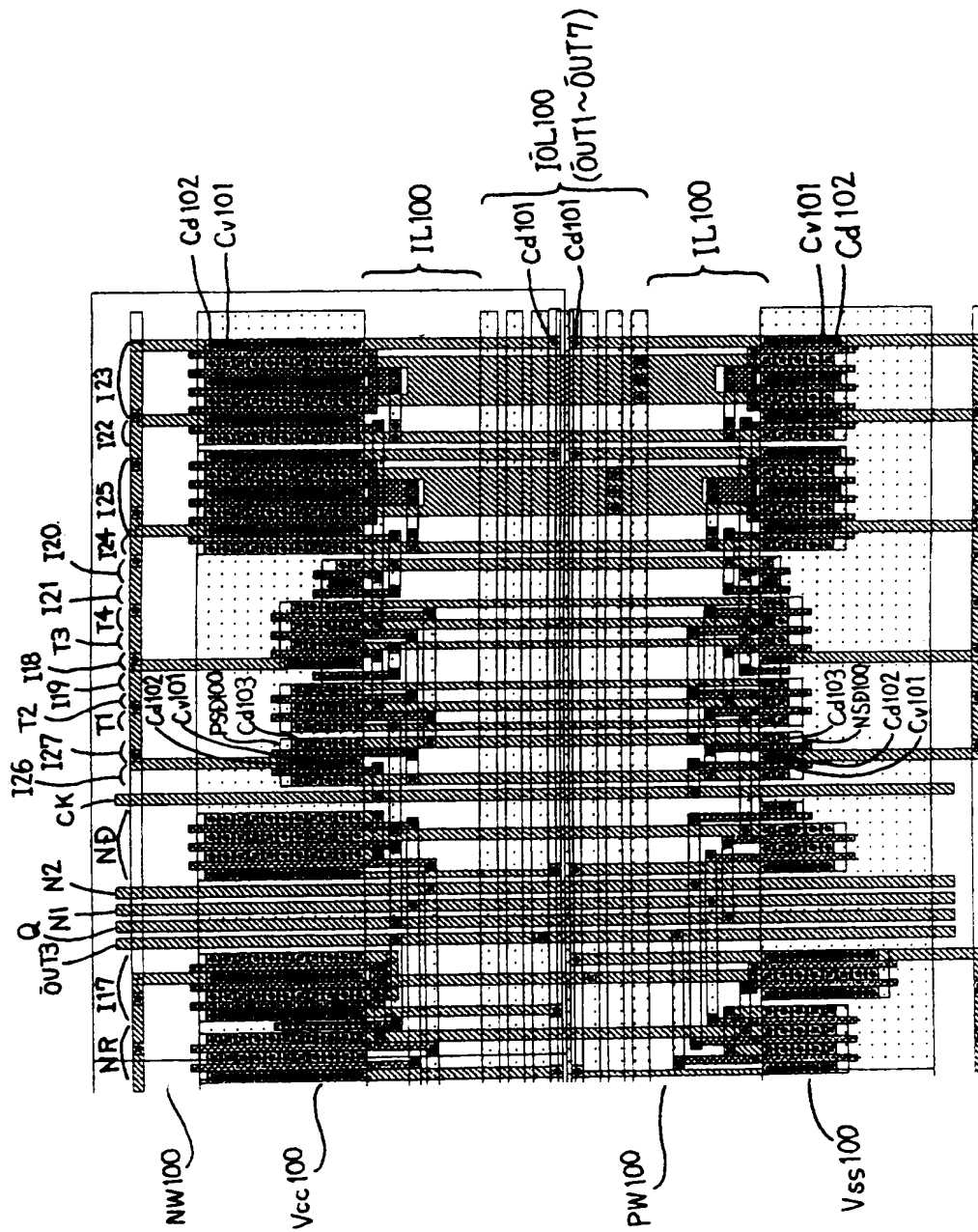
【図 27】

従来技術におけるレイアウトのうち理論回路CIR3の部分



【図 28】

従来技術におけるレイアウトのうち理論回路CIR4の部分



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置の機能回路群をチップ上の1方向に展開するレイアウトパターンにおいて、レイアウト効率を高めると共に、素子特性の悪化を防止することができる半導体集積回路装置を提供すること。

【解決手段】 論理回路CIR11、CIR12内、あるいは論理回路CIR11、CIR12間の接続配線11、12A、13、14を、電源電圧配線VCC1及び基準電圧配線VSS1の外側にある第2領域B1P及びB1N内に配置してユニット間配線領域IL1P、IL1Nを構成する。そして電源電圧配線VCC1及び基準電圧配線VSS1間の第1領域A1には入出力配線領域IOL1のみが配置される。第1領域A1にはユニット間配線領域がないため幅が短くレイアウトされるので、PMOS/NMOSトランジスタ間の接続配線長が短く、N/P型ウェル領域NW1、PW1の面積が小さくなり、レイアウト効率と回路特性の向上を図ることができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日
[変更理由] 新規登録
住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社